

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-290212

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H03K 3/0231

(21)Application number : 2001-091481

(71)Applicant : NEC CORP

(22)Date of filing : 27.03.2001

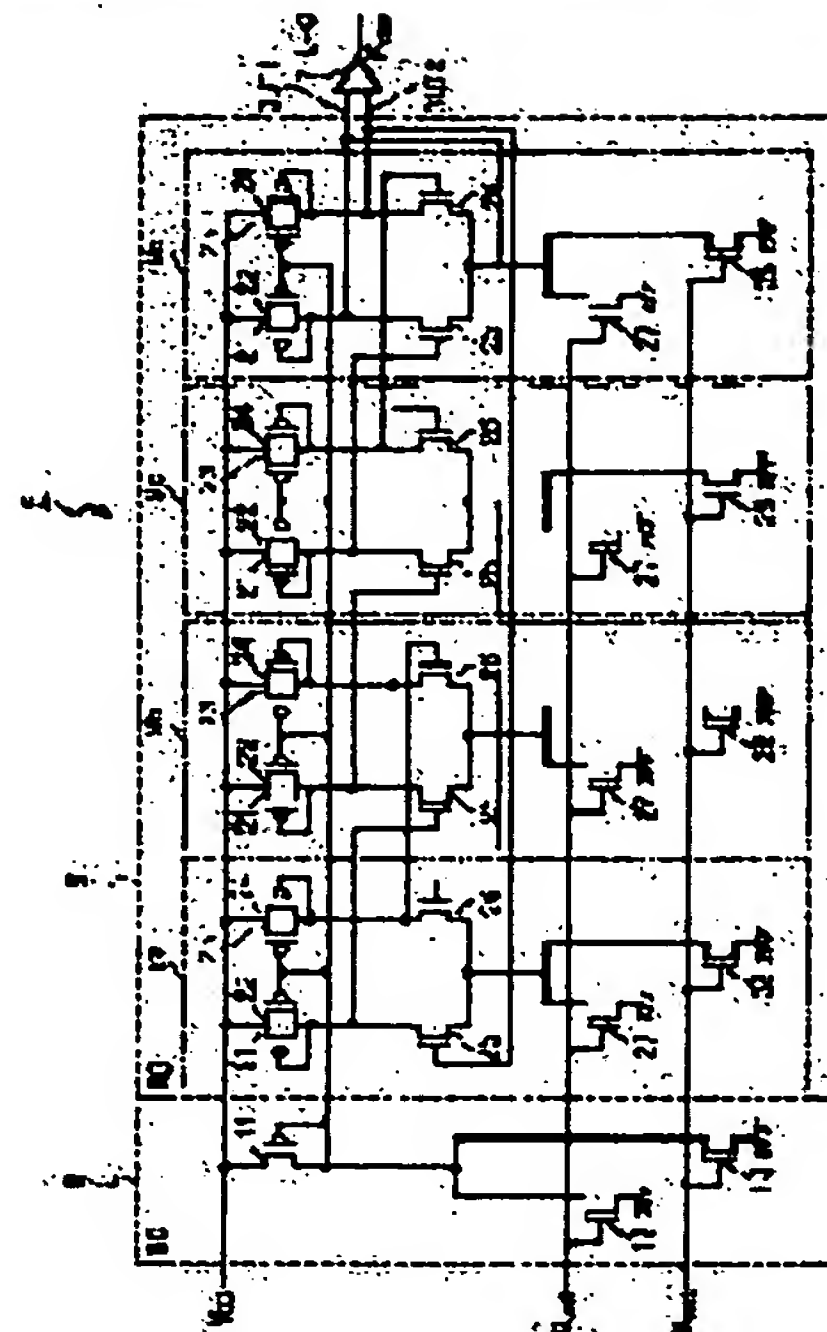
(72)Inventor : HASEGAWA MASARU

(54) VOLTAGE CONTROLLED OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a voltage controlled oscillator that can suppress dispersion in the oscillated frequency.

SOLUTION: The voltage controlled oscillator of this invention is provided with N (N is an integer of 2 or over) sets of inverting differential amplifiers (9) connected in series. Each of N-sets of the inverting differential amplifiers (9) is operated in response to a prescribed constant voltage (Vcn1) and a control voltage (Vcnt). The operating current of each of N-sets of the inverting differential amplifiers (9) directly depends on the sum of a current in response to the constant voltage (Vcn1) and a current in response to the control voltage (Vcnt).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

SR

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-290212

(P 2 0 0 2 - 2 9 0 2 1 2 A)

(43) 公開日 平成14年10月4日 (2002. 10. 4)

(51) Int. Cl. ⁷
H03K 3/0231

識別記号

F I
H03K 3/023

テームコード (参考)

A 5J043

審査請求 未請求 請求項の数22 O L (全26頁)

(21) 出願番号 特願2001-91461 (P 2001-91461)

(22) 出願日 平成13年3月27日 (2001. 3. 27)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 長谷川 賢

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100102864

弁理士 工藤 実 (外1名)

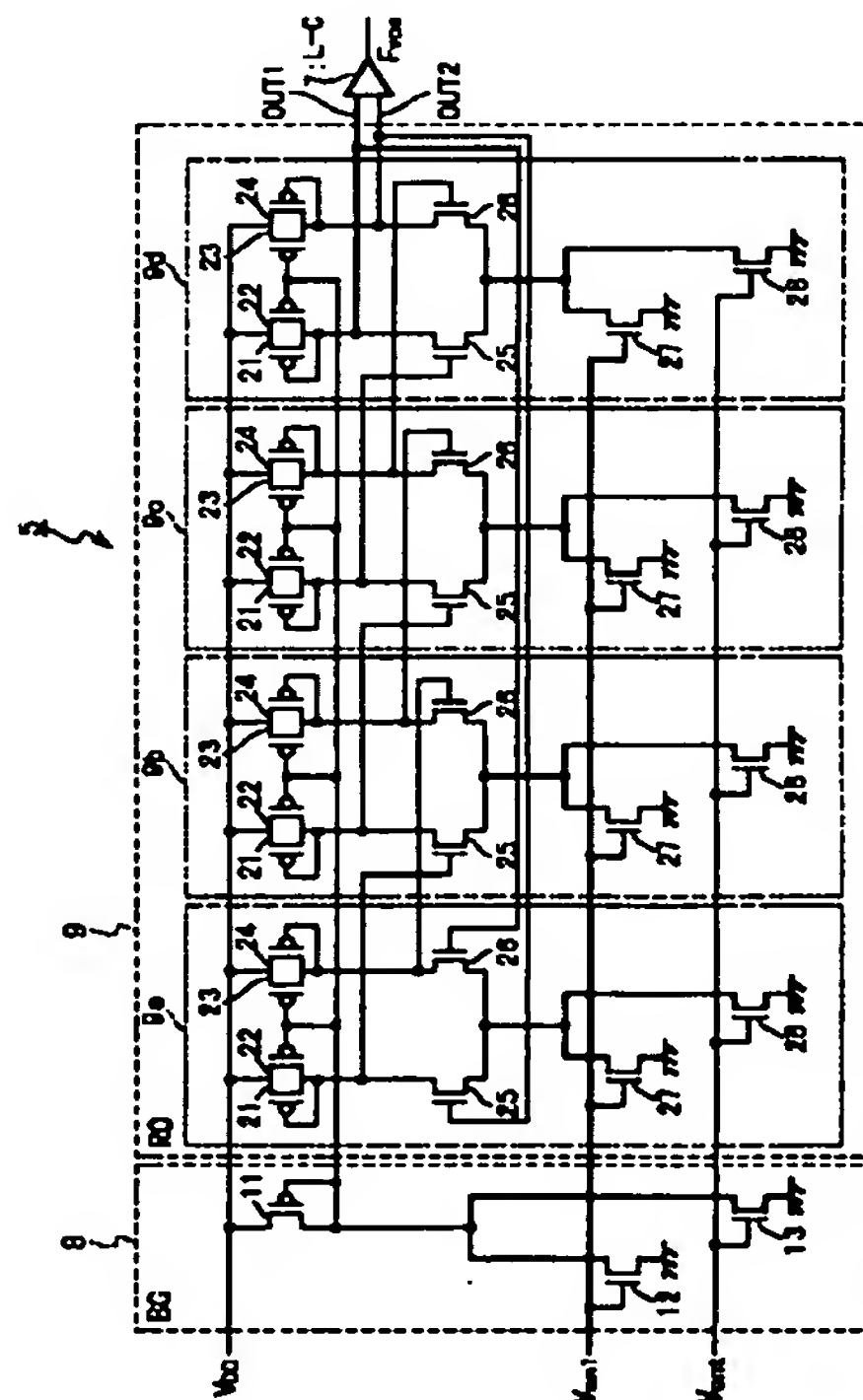
F ターム (参考) 5J043 AA26 FF03 GG02 GG06 GG08

(54) 【発明の名称】 電圧制御発振器

(57) 【要約】

【課題】 発振周波数のばらつきを抑えることができる電圧制御発振器を提供する。

【解決手段】 本発明による電圧制御発振器は、直列に接続されたN (Nは2以上の整数) 個の反転差動増幅器 (9) を備えている。N個の反転差動増幅器 (9) の各々は、所定の電圧値の定電圧 ($V_{c,n1}$) と制御電圧 ($V_{c,n2}$) とに応じて動作する。N個の反転差動増幅器 (9) の各々の動作電流は、定電圧 ($V_{c,n1}$) に応じた電流と、制御電圧 ($V_{c,n2}$) に応じた電流とを加算した電流の値で直接定まる。



【特許請求の範囲】

【請求項 1】 直列に接続された N (N は 2 以上の整数) 個の反転差動増幅器を備え、
前記 N 個の反転差動増幅器の各々は、所定の電圧値の定電圧と制御電圧とに応じて動作し、
前記 N 個の反転差動増幅器の各々の動作電流は、前記定電圧に応じた電流と、前記制御電圧に応じた電流とを加算した電流の値で直接定まる電圧制御発振器。

【請求項 2】 請求項 1 に記載の電圧制御発振器において、
前記 N が 2 以上の偶数のとき、前記 N 個の反転差動増幅器のうちの最終段の反転差動増幅器の出力は、前記 N 個の反転差動増幅器のうちの初段の反転差動増幅器に反転して戻される電圧制御発振器。

【請求項 3】 請求項 1 に記載の電圧制御発振器において、
前記 N が 3 以上の奇数のとき、前記 N 個の反転差動増幅器のうちの最終段の反転差動増幅器の出力は、前記 N 個の反転差動増幅器のうちの初段の反転差動増幅器に戻される電圧制御発振器。

【請求項 4】 請求項 1 乃至 3 のいずれか一項に記載の電圧制御発振器において、
更に、
前記動作電流を補償するためのバイアスジェネレータを備えた電圧制御発振器。

【請求項 5】 請求項 4 に記載の電圧制御発振器において、
前記バイアスジェネレータは、
前記定電圧が入力される制御電極を有し、第 1 電源及び第 2 電源の間に直列に接続された第 1 入力段トランジスタと、
前記制御電圧が入力される制御電極を有し、前記第 1 電源及び前記第 2 電源の間に直列に接続され、前記第 1 入力段トランジスタと並列に接続された第 2 入力段トランジスタと、
前記第 1 電源と前記第 1 及び第 2 入力段トランジスタとの間に接続された特定トランジスタとを有する電圧制御発振器。

【請求項 6】 請求項 4 に記載の電圧制御発振器において、
前記バイアスジェネレータは、
前記定電圧が入力される制御電極を有し、第 1 電源及び第 2 電源の間に直列に接続された第 1 入力段トランジスタと、
前記第 1 電源と前記第 1 入力段トランジスタとの間に接続された特定トランジスタとを有する電圧制御発振器。

【請求項 7】 請求項 5 又は 6 に記載の電圧制御発振器において、
前記 N 個の反転差動増幅器の各々は、
前記第 1 電源及び前記第 2 電源の間に並列に接続された

第 1 及び第 2 出力段トランジスタと、
前記定電圧が入力される制御電極を有し、前記第 1 及び第 2 出力段トランジスタと前記第 2 電源との間に接続された第 3 入力段トランジスタと、
前記制御電圧が入力される制御電極を有し、前記第 1 及び第 2 出力段トランジスタと前記第 2 電源との間に接続され、前記第 3 入力段トランジスタと並列に接続された第 4 入力段トランジスタと、
前記第 1 電源と前記第 1 出力段トランジスタとの間に直列に接続され、前記特定トランジスタと接続された第 1 トランジスタと、
前記第 1 電源と前記第 2 出力段トランジスタとの間に直列に接続され、前記特定トランジスタと接続された第 2 トランジスタと、
前記第 1 電源と前記第 1 出力段トランジスタとの間に直列に接続され、前記第 1 トランジスタと並列に接続された第 3 トランジスタと、
前記第 1 電源と前記第 2 出力段トランジスタとの間に直列に接続され、前記第 2 トランジスタと並列に接続された第 4 トランジスタとを備えた電圧制御発振器。

【請求項 8】 請求項 7 に記載の電圧制御発振器において、
前記特定トランジスタと前記第 1 トランジスタは、電流ミラー回路を構成し、
前記特定トランジスタと前記第 2 トランジスタは、電流ミラー回路を構成する電圧制御発振器。

【請求項 9】 請求項 1 乃至 3 のいずれか一項に記載の電圧制御発振器において、
前記 N 個の反転差動増幅器の各々は、
前記第 1 電源及び前記第 2 電源の間に並列に接続された第 1 及び第 2 出力段トランジスタと、
前記定電圧が入力される制御電極を有し、前記第 1 及び第 2 出力段トランジスタと前記第 2 電源との間に接続された第 1 入力段トランジスタと、
前記制御電圧が入力される制御電極を有し、前記第 1 及び第 2 出力段トランジスタと前記第 2 電源との間に接続され、前記第 1 入力段トランジスタと並列に接続された第 2 入力段トランジスタと、
前記第 1 電源と前記第 1 出力段トランジスタとの間に直列に接続された抵抗素子と、
前記第 1 電源と前記第 2 出力段トランジスタとの間に直列に接続された抵抗素子とを備えた電圧制御発振器。

【請求項 10】 直列に接続された N 個の反転差動増幅器を備え、
前記 N 個の反転差動増幅器の各々は、差動部と、前記差動部に接続され、所定の電圧値の定電圧と制御電圧とによってそれぞれ駆動される電流源とを有する電圧制御発振器。

【請求項 11】 所定の電圧値の定電圧によってオフセット周波数を与えるオフセット手段と、

10

20

30

40

50

制御電圧に比例して定まる周波数を制御して所望の周波数を決定する制御手段とを備え、

前記周波数は、前記定電圧と前記制御電圧とによって直接定まる電圧制御発振器。

【請求項 12】 外部からの入力信号と、帰還信号との位相及び周波数を比較し、前記比較の結果に基づいて制御電圧を生成する制御電圧生成器と、

所定の電圧値の定電圧を生成するオフセット回路と、

前記オフセット回路からの前記定電圧に応じた電流と、

前記制御電圧生成器からの前記制御電圧に応じた電流とを加算し、前記加算した電流の値に応じた周波数で発振する出力信号を生成する電圧制御発振器と、

前記電圧制御発振器からの前記出力信号を分周して前記制御電圧生成器に前記帰還信号としてフィードバックする分周器とを備え、

前記電圧制御発振器は、直列に接続された N (N は 2 以上の整数) 個の反転差動増幅器を備え、

前記 N 個の反転差動増幅器の各々は、前記定電圧と前記制御電圧とに応じて動作し、

前記 N 個の反転差動増幅器の各々の動作電流は、前記定電圧に応じた電流と、前記制御電圧に応じた電流とを加算した電流の値で直接定まる PLL 回路。

【請求項 13】 請求項 12 に記載の PLL 回路において、

前記 N が 2 以上の偶数のとき、前記 N 個の反転差動増幅器のうちの最終段の反転差動増幅器の出力は、前記 N 個の反転差動増幅器のうちの初段の反転差動増幅器に反転して戻される PLL 回路。

【請求項 14】 請求項 12 に記載の PLL 回路において、

前記 N が 3 以上の奇数のとき、前記 N 個の反転差動増幅器のうちの最終段の反転差動増幅器の出力は、前記 N 個の反転差動増幅器のうちの初段の反転差動増幅器に戻される PLL 回路。

【請求項 15】 請求項 12 乃至 14 のいずれか一項に記載の PLL 回路において、

前記電圧制御発振器は、前記動作電流を補償するためのバイアスジェネレータを更に備えた PLL 回路。

【請求項 16】 請求項 15 に記載の PLL 回路において、

前記バイアスジェネレータは、

前記定電圧が入力される制御電極を有し、第 1 電源及び第 2 電源の間に直列に接続された第 1 入力段トランジスタと、

前記制御電圧が入力される制御電極を有し、前記第 1 電源及び前記第 2 電源の間に直列に接続され、前記第 1 入力段トランジスタと並列に接続された第 2 入力段トランジスタと、

前記第 1 電源と前記第 1 及び第 2 入力段トランジスタとの間に接続された特定トランジスタとを有する PLL 回

路。

【請求項 17】 請求項 15 に記載の PLL 回路において、

前記バイアスジェネレータは、

前記定電圧が入力される制御電極を有し、第 1 電源及び第 2 電源の間に直列に接続された第 1 入力段トランジスタと、

前記第 1 電源と前記第 1 入力段トランジスタとの間に接続された特定トランジスタとを有する PLL 回路。

【請求項 18】 請求項 16 又は 17 に記載の PLL 回路において、

前記 N 個の反転差動増幅器の各々は、

前記第 1 電源及び前記第 2 電源の間に並列に接続された第 1 及び第 2 出力段トランジスタと、

前記定電圧が入力される制御電極を有し、前記第 1 及び第 2 出力段トランジスタと前記第 2 電源との間に接続された第 3 入力段トランジスタと、

前記制御電圧が入力される制御電極を有し、前記第 1 及び第 2 出力段トランジスタと前記第 2 電源との間に接続され、前記第 3 入力段トランジスタと並列に接続された

第 4 入力段トランジスタと、

前記第 1 電源と前記第 1 出力段トランジスタとの間に直列に接続され、前記特定トランジスタと接続された第 1 トランジスタと、

前記第 1 電源と前記第 2 出力段トランジスタとの間に直列に接続され、前記特定トランジスタと接続された第 2 トランジスタと、

前記第 1 電源と前記第 1 出力段トランジスタとの間に直列に接続され、前記第 1 トランジスタと並列に接続された第 3 トランジスタと、

前記第 1 電源と前記第 2 出力段トランジスタとの間に直列に接続され、前記第 2 トランジスタと並列に接続された第 4 トランジスタとを備えた PLL 回路。

【請求項 19】 請求項 18 に記載の PLL 回路において、

前記特定トランジスタと前記第 1 トランジスタは、電流ミラー回路を構成し、前記特定トランジスタと前記第 2 トランジスタは、電流ミラー回路を構成する PLL 回路。

【請求項 20】 請求項 13 乃至 15 のいずれか一項に記載の PLL 回路において、

前記 N 個の反転差動増幅器の各々は、

前記第 1 電源及び前記第 2 電源の間に並列に接続された第 1 及び第 2 出力段トランジスタと、

前記定電圧が入力される制御電極を有し、前記第 1 及び第 2 出力段トランジスタと前記第 2 電源との間に接続された第 1 入力段トランジスタと、

前記制御電圧が入力される制御電極を有し、前記第 1 及び第 2 出力段トランジスタと前記第 2 電源との間に接続され、前記第 1 入力段トランジスタと並列に接続された

第2入力段トランジスタと、
前記第1電源と前記第1出力段トランジスタとの間に直列に接続された抵抗素子と、
前記第1電源と前記第2出力段トランジスタとの間に直列に接続された抵抗素子とを備えたPLL回路。

【請求項21】 外部からの入力信号と、帰還信号との位相及び周波数を比較し、前記比較の結果に基づいて制御電圧を生成する制御電圧生成器と、
所定の電圧値の定電圧を生成するオフセット回路と、
前記オフセット回路からの前記定電圧に応じた電流と、
前記制御電圧生成器からの前記制御電圧に応じた電流とを加算し、前記加算した電流の値に応じた周波数で発振する出力信号を生成する電圧制御発振器と、
前記電圧制御発振器からの前記出力信号を分周して前記制御電圧生成器に前記帰還信号としてフィードバックする分周器とを備え、
前記電圧制御発振器は、直列に接続されたN個の反転差動増幅器を備え、
前記N個の反転差動増幅器の各々は、差動部と、前記差動部に接続され、所定の電圧値の定電圧と制御電圧とによってそれぞれ駆動される電流源とを有するPLL回路。

【請求項22】 外部からの入力信号と、帰還信号との位相及び周波数を比較し、前記比較の結果に基づいて制御電圧を生成する制御電圧生成器と、
所定の電圧値の定電圧を生成するオフセット回路と、
前記オフセット回路からの前記定電圧に応じた電流と、
前記制御電圧生成器からの前記制御電圧に応じた電流とを加算し、前記加算した電流の値に応じた周波数で発振する出力信号を生成する電圧制御発振器と、
前記電圧制御発振器からの前記出力信号を分周して前記制御電圧生成器に前記帰還信号としてフィードバックする分周器とを備え、
前記電圧制御発振器は、
前記定電圧によってオフセット周波数を与えるオフセット手段と、
前記制御電圧に比例して定まる周波数を制御して所望の周波数を決定する制御手段とを備え、
前記周波数は、前記定電圧と前記制御電圧とによって直接定まるPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧制御発振器に関し、特に発振周波数のばらつきを抑えることができる電圧制御発振器に関する。

【0002】

【従来の技術】一般的な電圧制御発振器(VCO)は、外部から供給される電圧に応じた周波数で発振する出力信号を生成するものであり、例えば、情報処理、通信といった種々の分野で使用される。従来の電圧制御発振器

(VCO)について図12を参照しながら説明する。図12は、従来の電圧制御発振器(VCO)の構成を示す回路図である。

【0003】図12に示されるように、従来の電圧制御発振器(VCO)105は、バイアスジェネレータ(BG)108、リングオシレータ(RO)109、レベルコンバータ(L-C)107を備えている。

【0004】バイアスジェネレータ(BG)108には、外部からの所定の電圧値の定電圧 V_{ref} と電圧 V_{in} とが供給/入力される。また、バイアスジェネレータ(BG)108及びリングオシレータ(RO)109には外部から電源電圧が供給/入力される。バイアスジェネレータ(BG)108の出力は、リングオシレータ(RO)109に供給/入力される。

【0005】リングオシレータ(RO)109は、N個の反転差動増幅器を備えている。ここで、Nは2以上の整数である。N個の反転差動増幅器の各々は、バイアスジェネレータ(BG)108に供給される定電圧 V_{ref} の値に応じた電流 I_{ref} と、電圧 V_{in} の値に応じた電流 I_{in} とを加算した電流によって動作する。N個の反転差動増幅器の各々の動作電流は、バイアスジェネレータ(BG)108により定電圧 V_{ref} の値に応じた電流 I_{ref} と、電圧 V_{in} の値に応じた電流 I_{in} とを加算した電流で間接的に定まる。バイアスジェネレータ(BG)108は、リングオシレータ(RO)109の動作電流を補償するものである。補償とは、リングオシレータ(RO)109のスイッチとして働くトランジスタがON/OFFしているとき、素早く電流を流し、発振波形の立ち上がり、立下りを高速に動作させ(急峻にして)、高速に発振を促すことをいう。この補償により、高周波数特性を改善すること、即ち、追従性をよくすることができる。

【0006】また、リングオシレータ(RO)109は、定電圧 V_{ref} によってオフセット周波数を与え、電圧 V_{in} に比例して定まる発振周波数を制御して所望の発振周波数を決定する。所望の発振周波数は、バイアスジェネレータ(BG)108に供給される定電圧 V_{ref} の値に応じた電流 I_{ref} と、電圧 V_{in} の値に応じた電流 I_{in} とを加算した電流で間接的に定まる。リングオシレータ(RO)109は、決定された所望の発振周波数に対応する電圧の振幅のうち最大ピークを表す最大電圧 V_{out1} 及び最小ピークを表す最小電圧 V_{out2} の一方を第1出力端子OUT1を介してレベルコンバータ(L-C)107に供給し、最大電圧 V_{out1} 及び最小電圧 V_{out2} の他方を第2出力端子OUT2を介してレベルコンバータ(L-C)107に供給する。

【0007】レベルコンバータ(L-C)107は、最小電圧 V_{out2} と最大電圧 V_{out1} との間の振幅をCMOSレベル(例えば、0(V)～電源電圧にするよ

うにするなど)まで増加させて出力信号 F_{vc} を生成する。レベルコンバータ(L-C)107で生成された出力信号 F_{vc} は、電圧制御発振器(VCO)105の出力信号として外部に送出される。

【0008】ここで、電圧制御発振器(VCO)105により生成される出力信号 F_{vc} に対応する発振周波数について説明する。図14は、出力信号 F_{vc} と電圧 V_{in} の関係を示す図である。

【0009】図14に示されるように、通常、電圧制御発振器(VCO)で生成される出力信号 F_{vc} と電圧 V_{in} の関係(周波数特性)を示す符号X1は、電圧制御発振器(VCO)105に含まれる電圧 V_{in} を入力する後述のトランジスタのスレッシュホールド電圧 V_{th} より大きくなると、出力信号 F_{vc} の発振周波数が0(Hz)より大きくなるような線形性を表している。電圧制御発振器(VCO)105は、スレッシュホールド電圧 V_{th} から電圧制御発振器(VCO)105を動作させる外部からの電源電圧 V_{DD} までの範囲の電圧 V_{in} に比例して定まる発振周波数を制御して所望の発振周波数 F_{out} を決定する。このとき、出力信号 F_{vc} に対応する所望の発振周波数 F_{out} を得るための電圧は V_{th} とする($V_{th} < V_{DD}$)。

【0010】しかし、電圧 V_{in} が外部からのノイズ成分の干渉を受けて変動する場合、符号X1が示す周波数特性の傾きが急峻であるため、所望の発振周波数 F_{out} は周波数特性の傾きに応じて変動が大きくなる(ジッタが増大する)。

【0011】この発振周波数 F_{out} の大きな変動を抑えるため、電圧制御発振器(VCO)105は、バイアスジェネレータ(BG)108が定電圧 V_{in} 分の電流を加算してオフセット周波数をもたせていることにより、周波数が0(Hz)より大きく、かつ、所望の周波数 F_{out} より小さい周波数 F_{in} を基準周波数(自走発振周波数)とすることで符号X1が示す周波数特性の傾きを緩くした符号Y101が示す周波数特性を生成することができる。

【0012】次に、前述したNが2以上の偶数のときにおける、従来の電圧制御発振器(VCO)105のバイアスジェネレータ(BG)108及びリングオシレータ(RO)109の構成について図12を参照しながら詳細に説明する。

【0013】図12に示されるように、バイアスジェネレータ(BG)108は、加算回路108a、ミラー回路108bを備えている。加算回路108aは、PチャネルMOSトランジスタ111、NチャネルMOSトランジスタ112、113を有している。ミラー回路108bは、PチャネルMOSトランジスタ114、NチャネルMOSトランジスタ115を有している。以下、PチャネルMOSトランジスタをPMOSトランジスタと

称し、NチャネルMOSトランジスタをNMOSトランジスタと称す。また、ミラー回路又は電流ミラー回路とは、例えば、第1トランジスタに接続された第2トランジスタに、第1トランジスタに流れた電流と同じ電流又は比例した(1/2倍、2倍など)電流を鏡(ミラー)のように流すものであり、第1トランジスタに流れる電流が上がれば第2トランジスタに流れる電流も比例して上がる。第1トランジスタに流れた電流と同じ電流又は比例した電流をミラー電流という。

【0014】まず、加算回路108aの構成について説明する。

【0015】PMOSトランジスタ111のソース電極には、高位側電源が接続され、電源電圧 V_{DD} が入力/供給される。PMOSトランジスタ111のドレイン電極は、NMOSトランジスタ112、113のドレイン電極に接続されている。NMOSトランジスタ112のゲート電極には、外部から定電圧 V_{in} が入力/供給される。また、NMOSトランジスタ112のソース電極は、低位側電源に接続されており、通常、接地されている。NMOSトランジスタ113のゲート電極には、外部から電圧 V_{in} が入力/供給される。また、NMOSトランジスタ113のソース電極は、低位側電源に接続されており、通常、接地されている。

【0016】次に、ミラー回路108bの構成について説明する。

【0017】PMOSトランジスタ114のソース電極には、高位側電源が接続され、電源電圧 V_{DD} が入力/供給される。PMOSトランジスタ114のゲート電極は、PMOSトランジスタ111のドレイン電極に接続されている。NMOSトランジスタ115のドレイン電極は、PMOSトランジスタ114のドレイン電極に接続されている。また、NMOSトランジスタ115のソース電極は、低位側電源に接続されており、通常、接地されている。

【0018】次に、リングオシレータ(RO)109の構成について説明する。

【0019】図12に示されるように、リングオシレータ(RO)109は、第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dを備えている。第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々は、PMOSトランジスタ121、122、123、124、NMOSトランジスタ125、126、129を有している。

【0020】第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々の構成について説明する。

【0021】PMOSトランジスタ121、122、1

23、124のソース電極には、高位側電源が接続され、電源電圧 V_{DD} が入力／供給される。PMOSトランジスタ122、123のゲート電極は、PMOSトランジスタ111のドレイン電極とゲート電極に接続されている。ここで、PMOSトランジスタ111に対して、PMOSトランジスタ122、123は電流ミラー回路となっている。NMOSトランジスタ129のゲート電極は、NMOSトランジスタ115のドレイン電極とゲート電極に接続されている。また、NMOSトランジスタ129のソース電極は、低位側電源に接続されており、通常、接地されている。ここで、NMOSトランジスタ115に対して、NMOSトランジスタ129は電流ミラー回路となっている。NMOSトランジスタ129のドレイン電極は、NMOSトランジスタ125、126のソース電極に接続されている。NMOSトランジスタ125のドレイン電極は、PMOSトランジスタ121、122のドレイン電極、PMOSトランジスタ121のゲート電極に接続されている。NMOSトランジスタ126のドレイン電極は、PMOSトランジスタ123、124のドレイン電極、PMOSトランジスタ124のゲート電極に接続されている。

【0022】第2反転差動増幅器109bのNMOSトランジスタ125のゲート電極は、第1反転差動増幅器109aのNMOSトランジスタ125のドレイン電極に接続されている。第2反転差動増幅器109bのNMOSトランジスタ126のゲート電極は、第1反転差動増幅器109aのNMOSトランジスタ126のドレイン電極に接続されている。

【0023】第3反転差動増幅器109cのNMOSトランジスタ125のゲート電極は、第2反転差動増幅器109bのNMOSトランジスタ125のドレイン電極に接続されている。第3反転差動増幅器109cのNMOSトランジスタ126のゲート電極は、第2反転差動増幅器109bのNMOSトランジスタ126のドレイン電極に接続されている。

【0024】第4反転差動増幅器109dのNMOSトランジスタ125のゲート電極は、第3反転差動増幅器109cのNMOSトランジスタ125のドレイン電極に接続されている。第4反転差動増幅器109dのNMOSトランジスタ126のゲート電極は、第3反転差動増幅器109cのNMOSトランジスタ126のドレイン電極に接続されている。

【0025】第1反転差動増幅器109aのNMOSトランジスタ125のゲート電極は、第4反転差動増幅器109dのNMOSトランジスタ126のドレイン電極に接続されている。第1反転差動増幅器109aのNMOSトランジスタ126のゲート電極は、第4反転差動増幅器109dのNMOSトランジスタ125のドレイン電極に接続されている。また、第4反転差動増幅器109dのNMOSトランジスタ125のドレイン電極

は、第1出力端子OUT1を介してレベルコンバータ(L-C)107に接続されている。第4反転差動増幅器109dのNMOSトランジスタ126のドレイン電極は、第2出力端子OUT2を介してレベルコンバータ(L-C)107に接続されている。

【0026】次に、前述した電圧制御発振器(VCO)105のバイアスジェネレータ(BG)108及びリングオシレータ(RO)109の動作について図12を参照しながら説明する。ここで、電圧制御発振器(VCO)105に入力される定電圧 V_{DD} には基準レベル、電圧 V_{DD} には制御レベルがバイアスされている。

【0027】まず、バイアスジェネレータ(BG)108の加算回路108aの回路動作について説明する。

【0028】図12に示されるように、NMOSトランジスタ112は、そのゲートに定電圧 V_{DD} がバイアスされるため、そのバイアスに応じたドレイン電流 I_{D112} を流す。電圧 V_{DD} には、制御レベルがバイアスされるが、今、そのレベルが0(V)とすると、NMOSトランジスタ113はOFFしているため(スレッショルド電圧に達していないため)、そのドレイン電流 I_{D113} は0(A)である。したがって、PMOSトランジスタ111のドレイン電流 I_{D111} は、ドレイン電流 I_{D112} とドレイン電流 I_{D113} との和であるが、ドレイン電流 I_{D113} が0(A)なので、ドレイン電流 I_{D112} 分だけが流れる。PMOSトランジスタはそのゲートとドレインが同じノードであるため、飽和領域にあり、ドレイン電流 I_{D111} を流すように、そのゲートのレベルは決まる。このレベルはミラー回路108bのPMOSトランジスタ114、リングオシレータ(RO)109における第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々のPMOSトランジスタ122、123のゲートのレベルになっている。PMOSトランジスタ111に対して、ミラー回路108bのPMOSトランジスタ114、リングオシレータ(RO)109における第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々のPMOSトランジスタ122、123は電流ミラー回路を構成しているため、PMOSトランジスタ111のサイズ(PMOSトランジスタ111のしきい値、ゲート長、ゲート酸化膜の厚さ、を含む)と、PMOSトランジスタ114、122、123とのサイズ(各PMOSトランジスタのしきい値、ゲート長、ゲート酸化膜の厚さ、を含む)の比に応じた電流が、PMOSトランジスタ114、122、123のドレイン電流となる。

【0029】次に、バイアスジェネレータ(BG)108のミラー回路108bの回路動作について説明する。

【0030】NMOSトランジスタ115のドレイン電

流ID115は、PMOSTランジスタ111のサイズ（PMOSTランジスタ111のしきい値、ゲート長、ゲート酸化膜の厚さ、を含む）とPMOSTランジスタ114とのサイズ（PMOSTランジスタ114のしきい値、ゲート長、ゲート酸化膜の厚さ、を含む）の比に応じたPMOSTランジスタ114のドレイン電流ID114分だけが流れる。NMOSTランジスタ115はそのゲートとドレインが同じノードであるため、飽和領域にあり、ドレイン電流ID115を流すように、そのゲートのレベルは決まる。このレベルは第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々のNMOSTランジスタ129のゲートのレベルになっている。NMOSTランジスタ115に対して、第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々のNMOSTランジスタ129は電流ミラー回路を構成しているため、NMOSTランジスタ115のサイズ（NMOSTランジスタ115のしきい値、ゲート長、ゲート酸化膜の厚さ、を含む）と、NMOSTランジスタ129とのサイズ（各NMOSTランジスタのしきい値、ゲート長、ゲート酸化膜の厚さ、を含む）の比に応じた電流が、NMOSTランジスタ129のドレイン電流となる。

【0031】制御レベルの電圧 V_{in} が上がり、そのレベルがNMOSTランジスタ113の閾値以上（NMOSTランジスタ113がONするレベル）になると、NMOSTランジスタ113のドレイン電流ID113が流れる。電圧 V_{in} が上げれば上がるほどNMOSTランジスタ113のドレイン電流ID113も多く流れるため、結果的にPMOSTランジスタ111のドレイン電流ID111も多くなる。従って、電流ミラー回路を構成しているPMOSTランジスタ122、123のドレイン電流、NMOSTランジスタ129のドレイン電流も多くなる。

【0032】次に、リングオシレータ（RO）109の回路動作について説明する。ここで、第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々の回路動作は同様であるため、第1反転差動増幅器109aを例として説明する。

【0033】バイアスジェネレータ（BG）108に入力される定電圧 V_{DD} に基準レベルがバイアスされており、電圧 V_{in} が0レベルとすると、第1反転差動増幅器109aのNMOSTランジスタ129にドレイン電流ID129が流れる。NMOSTランジスタ125、126のソース電極がNMOSTランジスタ129のドレイン電極に共通接続されたところには、NMOSTランジスタ129のドレイン電流ID129が流れることになる。

【0034】スイッチとして動作する差動回路のNMOSTランジスタ125、126は、上記のNMOSTランジスタ129のドレイン電流ID129で動作する。NMOSTランジスタ125、126はその入力される信号（第4反転差動増幅器109dからの出力）に応じたドレイン電流ID125、ID126を流し、能動負荷であるPMOSTランジスタ121、124に供給する。NMOSTランジスタ125がON、NMOSTランジスタ126がOFFした場合、NMOSTランジスタ125には電流が流れ、PMOSTランジスタ121にも電流が流れる。このとき、PMOSTランジスタ121のドレイン-ソース電圧 V_{DS121} 分の電圧降下が起こり、NMOSTランジスタ125の出力（第2反転差動増幅器109bのNMOSTランジスタ125への入力）はLOWレベルになる。NMOSTランジスタ126はOFFしているので、NMOSTランジスタ126aの出力（第2反転差動増幅器109bのNMOSTランジスタ126への入力）はHIGHレベルになる。

【0035】能動負荷のPMOSTランジスタとして並列に接続されたPMOSTランジスタ122、123は、バイアスジェネレータ（BG）108とミラー構成をしており、そのミラー電流を流すことにより、NMOSTランジスタ125、126がON/OFFしているとき、素早く電流を流す効果がある。出力の立ち上がり、立ち下りを高速に動作させ、高速に発振を促すことができる。

【0036】バイアスジェネレータ（BG）108に入力される電圧 V_{DD} のレベルが上がり、第1反転差動増幅器109のNMOSTランジスタ129のドレイン電流ID129が更に流れるようになると、第1反転差動増幅器109aの回路電流が増える。電流が増えれば、当然、回路の駆動能力も上がり、また、出力負荷（第2反転差動増幅器109bのNMOSTランジスタ125やNMOSTランジスタ126などのゲート容量や配線容量）を充放電する時間も速くなる。つまり、この第1反転差動増幅器109aの遅延時間が短くなる。

【0037】次に、リングオシレータ（RO）109の発振器としての動作について説明する。

【0038】第1反転差動増幅器109aのNMOSTランジスタ125がON、NMOSTランジスタ126がOFFしているとき、上述したように、その出力はNMOSTランジスタ125側がLOWレベル、NMOSTランジスタ126側がHIGHレベルとなる。

【0039】第1反転差動増幅器109aからの出力により、第2反転差動増幅器109bのNMOSTランジスタ125にはLOWレベルが入力され、NMOSTランジスタ126にはHIGHレベルが入力される。これにより、NMOSTランジスタ125がOFFし、NMOSTランジスタ126がONして、NMOSTランジ

スタ 125 の出力 (第 3 反転差動増幅器 109c の NMOS トランジスタ 125c への入力) は HIGH レベル、NMOS トランジスタ 126 の出力 (第 3 反転差動増幅器 109c の NMOS トランジスタ 126 への入力) は LOW レベルになる。

【0040】第 2 反転差動増幅器 109b からの出力により、第 3 反転差動増幅器 109c の NMOS トランジスタ 125 には HIGH レベルが入力され、NMOS トランジスタ 126 には LOW レベルが入力される。これにより、NMOS トランジスタ 125 が ON し、NMOS トランジスタ 126 が OFF して、NMOS トランジスタ 125 の出力 (第 4 反転差動増幅器 109d の NMOS トランジスタ 125 への入力) は LOW レベル、NMOS トランジスタ 126 の出力 (第 4 反転差動増幅器 109d の NMOS トランジスタ 126 への入力) は HIGH レベルになる。

【0041】第 3 反転差動増幅器 109c からの出力により、第 4 反転差動増幅器 109d の NMOS トランジスタ 125 には LOW レベルが入力され、NMOS トランジスタ 126 には HIGH レベルが入力される。これにより、NMOS トランジスタ 125 が OFF し、NMOS トランジスタ 126 が ON して、NMOS トランジスタ 125 の出力 (第 1 反転差動増幅器 109a の NMOS トランジスタ 126 への入力) は HIGH レベル、NMOS トランジスタ 126 の出力 (第 1 反転差動増幅器 109a の NMOS トランジスタ 125 への入力) は LOW レベルになる。

【0042】第 4 反転差動増幅器 109d からの出力により、第 1 反転差動増幅器 109a の NMOS トランジスタ 125 には LOW レベルが入力され、NMOS トランジスタ 126 には HIGH レベルが入力される。これにより、NMOS トランジスタ 125 が OFF し、NMOS トランジスタ 126 が ON して、NMOS トランジスタ 125 の出力 (第 2 反転差動増幅器 109b の NMOS トランジスタ 125 への入力) は HIGH レベル、NMOS トランジスタ 126 の出力 (第 2 反転差動増幅器 109b の NMOS トランジスタ 126 への入力) は LOW レベルになる。

【0043】最初、第 1 反転差動増幅器 109a の NMOS トランジスタ 125 が ON、NMOS トランジスタ 126 が OFF であったのが、リングを一周 (第 1 反転差動増幅器 109a ~ 第 4 反転差動増幅器 109d) すると、第 1 反転差動増幅器 109a の NMOS トランジスタ 125 が OFF、NMOS トランジスタ 126 が ON している。この動作が続くので、発振する。

【0044】電圧制御発振器 (VCO) 105 は、前述した自走発振周波数 F_{osc} にオフセットを持たせているため、周波数特性の傾きを緩くできる。従って、ノイズ成分が含まれた電圧 V_{in} が入力された場合、オフセットを持たない電圧制御発振器と比べて、前述した

発振周波数 F_{osc} の変動は小さくできる。

【0045】ここで、従来の電圧制御発振器 (VCO) 105 の周波数特性について図 15 を参照しながら説明する。図 15 は、従来の電圧制御発振器 (VCO) の周波数特性を示す図である。

【0046】図 15 に示されるように、符号 Y101 は *typ-case* のときの周波数特性を表している。このときの自走発振周波数 F_{osc} は約 500 (MHz) である。*typ-case* とは、製造ばらつきがなく、図 14 に記載の V_{DD} 、 V_{DD} 、 V_{DD} に対応する NMOS トランジスタのスレッシュホールド電圧 V_{th} や PMOS トランジスタのスレッシュホールド電圧 V_{th} などが (正規分布で例示されるばらつきの中心値であるときの) センターでできたときの特性である。しかしながら、製造上のばらつきは存在し、符号 Y101' のような *fast-case* のときの周波数特性や符号 Y101'' のような *slow-case* のときの周波数特性がでてきてしまう。*fast-case* とは、 V_{th} や V_{th} などが低めにできたときの特性であり、トランジスタが速く ON したり、ゲート長が細かったり、配線などが細かったりして、寄生容量なども少なめになり、信号などが速く伝播したりしてしまう。*slow-case* とは、 V_{th} や V_{th} などが高めにできたときの特性であり、トランジスタが遅く ON したり、ゲート長が厚かったり、配線などが長かったりして、寄生容量なども多めになり、信号などが遅く伝播したりしてしまう。また、 V_{th} や V_{th} などが逆にばらつくこともあり得る。

【0047】このような、製造上のばらつきを考慮した上で、周波数特性を求めた場合、その上限が符号 Y101' の MAX であり、下限が符号 Y101'' の MIN になる。符号 Y101' が示す周波数特性 (*fast-case*) では、自走発振周波数 F_{osc} は約 600 (MHz) である。これは、符号 Y101 が示す周波数特性 (*typ-case*) のと比べて約 20% ほど速くなっている。ところが、電圧 V_{in} が大きくなっていき、(出力信号 F_{vco} に対応する所望の発振周波数 F_{osc} を得るための電圧を V_{DD} 、 $V_{DD} < V_{DD}$ 、発振周波数 F_{osc} を 1000 (MHz) として) V_{DD} のレベルになると、符号 Y101 が示す周波数特性 (*typ-case*) では約 1000 (MHz) になるが、符号 Y101' が示す周波数特性 (*fast-case*) では *typ-case* より 55% も速い 1550 (MHz) ほどになってしまう。符号 Y101'' が示す周波数特性 (*slow-case*) では、自走発振周波数 F_{osc} は約 400 (MHz) である。これは、符号 Y101 が示す周波数特性 (*typ-case*) のと比べて約 20% ほど遅くなっている。ところが、電圧 V_{in} が大きくなっていき、 V_{DD} のレベルになると、符号 Y101 が示す

周波数特性 (typ-case) では約 1000 (MHz) になるが、符号 Y101' が示す周波数特性 (slow-case) では typ-case より 40% も遅い 600 (MHz) ほどになってしまう。

【0048】このように、従来の電圧制御発振器 (VCO) 105 の周波数特性は、自走発振時には 20% のばらつきで収まっていたものが、電圧 V_{ref} が大きくなっていくと、そのばらつきが上限側 (符号 Y101' が示す周波数特性) では 55%、下限側 (符号 Y101' が示す周波数特性) では 40% へと大きくなる。これは、電圧制御発振器 (VCO) 105 に主に電流ミラー回路が多く用いられているため、そのチャネル長変調効果により、発振周波数のばらつきも大きくなるからである。最近の LSI では、トランジスタのサイズが小さくなるとチャネル長変調効果により顕著になる。

【0049】チャネル長変調効果とは、トランジスタの特性上、通常は、そのドレイン電流が飽和するドレイン電圧の範囲 (飽和領域) において、ドレイン電圧の増大に応じてドレイン電流が大きくなってしまいう効果という。この効果によって、ドレイン電圧の変動に応じてドレイン電流が変動し、発振周波数が変動することになる。

【0050】次に、PLL (Phase-Locked Loop) を例として、従来の電圧制御発振器 (VCO) 105 を用いた PLL 回路の構成について図 13 を参照しながら説明する。図 13 は、従来の電圧制御発振器 (VCO) を用いた PLL 回路の構成を示すブロック図である。

【0051】図 13 に示されるように、PLL 回路は、位相周波数比較器 (PFD) 101、チャージポンプ 102、ループフィルタ 103、オフセット回路 (OFST) 104、電圧制御発振器 (VCO) 105 及び分周器 106 を備えている。

【0052】位相周波数比較器 (PFD) 101 は、入力信号 F_{ref} と分周器 106 からの帰還信号 F_{fb} との位相及び周波数を比較し、これら両信号の誤差を表す増分信号 UP 及び減分信号 DOWN を生成する。入力信号 F_{ref} としては、例えば図示せぬ発振器からのクロック信号が使用される。この位相周波数比較器 (PFD) 101 で生成される増分信号 UP は、入力信号 F_{ref} に対する帰還信号 F_{fb} の周波数低下分と位相遅れに相当するパルス幅を有する。また、減分信号 DOWN は、入力信号 F_{ref} に対する帰還信号 F_{fb} の周波数上昇分と位相進みに相当するパルス幅を有する。位相周波数比較器 (PFD) 101 で生成された増分信号 UP 及び減分信号 DOWN はチャージポンプ 102 に供給される。

【0053】チャージポンプ 102 はシングル出力のチャージポンプであり、増分信号 UP 及び減分信号 DOWN の各パルス幅に応じた電流パルスを生

成してループフィルタ 103 に供給する。ループフィルタ 103 は、チャージポンプ 102 から供給される電流パルスに

【0054】オフセット回路 (OFST) 104 は、定電圧 V_{ref} を生成して電圧制御発振器 (VCO) 105 のバイアスジェネレータ (BG) 108 に供給する。電圧制御発振器 (VCO) 105 のバイアスジェネレータ (BG) 108 には、オフセット回路 (OFST) 104 から定電圧 V_{ref} が供給され、ループフィルタ 103 から電圧 V_{ref} が供給される。電圧制御発振器 (VCO) 105 は、オフセット回路 (OFST) 104 から供給された定電圧 V_{ref} と、ループフィルタ 103 から供給された電圧 V_{ref} とに応じた周波数で発振する出力信号 F_{vc} を生成する。この発振周波数は、定電圧 V_{ref} の値に応じた電流 I_{ref} と、電圧 V_{ref} の値に応じた電流 I_{ref} とを加算した電流によって間接的に定まる。電圧制御発振器 (VCO) 105 は、ロック状態では入力信号 F_{ref} の周波数の M 倍 (M 倍は実数) の周波数で発振する。

【0055】電圧制御発振器 (VCO) 105 で生成された出力信号 F_{vc} は、PLL 回路の出力信号として外部に送出されると共に、分周器 106 に供給される。分周器 106 は、出力信号 F_{vc} を $1/N$ に分周し、位相周波数比較器 (PFD) 101 に供給する。

【0056】次に、従来の電圧制御発振器 (VCO) 105 を用いた PLL 回路の動作を説明する。

【0057】今、分周器 106 から位相周波数比較器 (PFD) 101 に帰還される帰還信号 F_{fb} の位相が入力信号 F_{ref} の位相より遅れていると仮定する。この場合、位相周波数比較器 (PFD) 101 は、周波数低下分と位相遅れに相当するパルス幅を有する増分信号 UP を生成し、チャージポンプ 102 に供給する。チャージポンプ 102 は、増分信号 UP に応じた電流を流出してループフィルタ 103 の図示せぬキャパシタを充電する。これにより、ループフィルタ 103 で発生される電圧 V_{ref} は高くなる。その結果、電圧制御発振器 (VCO) 105 から出力される出力信号 F_{vc} の発振周波数が上昇すると共に、出力信号 F_{vc} の位相が進んで入力信号 F_{ref} の位相に近づく。

【0058】一方、帰還信号 F_{fb} の位相が入力信号 F_{ref} の位相より進んでいる場合、位相周波数比較器 (PFD) 101 は、周波数上昇分と位相進みに相当するパルス幅を有する減分信号 DOWN を生成し、チャージポンプ 102 に供給する。チャージポンプ 102 は、減分信号 DOWN に応じた電流を引き込んでループフィルタ 103 の図示せぬキャパシタを放電させる。これに

より、ループフィルタ 103 から出力される電圧 $V_{c.c.}$ は低くなる。その結果、電圧制御発振器 (VCO) 105 から出力される出力信号 $F_{v.c.}$ の発振周波数が下降すると共に、出力信号 $F_{v.c.}$ の位相が遅れて入力信号 $F_{r.c.}$ の位相に近づく。

【0059】このように、従来の電圧制御発振器 (VCO) 105 を用いた PLL 回路では、出力信号 $F_{v.c.}$ の位相及び周波数と入力信号 $F_{r.c.}$ の位相及び周波数とが常に比較され、入力信号 $F_{r.c.}$ に対する出力信号 $F_{v.c.}$ の位相遅れ又は位相進みが存在すればそれらを補正するようにフィードバック制御される。そして、位相遅れ又は位相進みが所定の範囲内に収束したら、位相周波数比較器 (PFD) 101 は、同一の短いパルス幅を有する増分信号 UP 及び減分信号 DOWN を生成する。これにより、ループフィルタ 103 の図示せぬキャパシタで充放電される電荷の量が等しくなって平衡し、この PLL 回路はロック状態に入る。このロック状態において、出力信号 $F_{v.c.}$ の位相は入力信号 $F_{r.c.}$ の位相に合致する。しかし、電圧制御発振器 (VCO) 105 を用いた PLL 回路では、ループフィルタ 3 から出力された電圧 $V_{c.c.}$ にノイズ成分が含まれた場合、オフセット周波数をもたせてあるため、オフセット周波数をもたせてないものに比べて所望の発振周波数の変動を小さく抑えることができるが、電流ミラー回路を多く用いているため、製造上のばらつきによる発振周波数のばらつきを低く抑えられない。

【0060】また、電圧制御発振器 (VCO) を用いた PLL 回路として、特開平 8-125531 号公報では、外乱による RF 変調信号の位相変動を阻止でき、変調精度の良好な“周波数シンセサイザ回路”が開示されている。

【0061】この周波数シンセサイザ回路は、電圧制御発振器の出力である局部発振信号の周波数を変動させる原因となる外乱信号に基づいて、その外乱信号による周波数の変動を打ち消すためのオフセット電圧を発生するオフセット信号発生回路と、オフセット信号発生回路からのオフセット電圧をチューニング電圧に加算して電圧制御発振器に供給するオフセット信号加算回路とを備えたことを特徴としている。

【0062】また、特開平 11-177416 号公報では、製造条件のばらつきに関係なく、電源変動や温度変化等により電圧信号が変動し、制御特性の変動が生じても発振周波数に影響することなく、ロック外れの生じない“PLL 回路”が開示されている。

【0063】この PLL (位相同期ループ) 回路は、発振信号と基準信号との位相比較結果の誤差信号から直流の電圧信号を生成する位相同期ループ回路部と、電圧信号のレベルにตอบสนองして周波数制御される発振信号を出力する電圧制御発振回路とを備え、製造条件の変動に起因するデバイス特性変化を検討し、対応プロセス変動信号

を出力する製造条件検出手段と、プロセス変動信号の供給にตอบสนองして電圧信号の中心値を周波数ロック時のレベル近傍となるようオフセットする電圧オフセット手段とを備えることを特徴としている。

【0064】また、“Symposium on VLSI Circuits Digest of Technical Papers (1994)” の 129~130 ページに記載された Hiromi Notani らによる論文“A 622-MHz CMOS Phase-Locked Loop with Precharge-Type Phase Frequency Detector”では、位相周波数比較器について詳細に述べられている。

【0065】

【発明が解決しようとする課題】従来の電圧制御発振器 (VCO) 105 には電流ミラー回路が多く含まれている。最近のようにサイズの小さいトランジスタを用いると、チャネル長変調効果による変動要因も大きくなるため、従来の電圧制御発振器 (VCO) 105 では、電流ミラー回路の段数分だけチャネル長変調効果の分が加わり、発振周波数のばらつきが大きくなる。

【0066】従来の電圧制御発振器 (VCO) 105 は、上記のように発振周波数のばらつきが大きいため、次のような問題がある。

【0067】従来の電圧制御発振器 (VCO) 105 は、製造上のばらつきにチャネル長変調効果が加わるため、発振周波数のばらつきが大きくなる。ゲインが最小の場合に、例えば図 15 で示された符号 Y101' が示す周波数特性において電圧 $V_{c.c.}$ を電源電圧 V_{DD} の値まで上げても、発振周波数が所望の周波数 $F_{c.c.}$ より小さくなる危険性がある。従って、製造上のばらつきがあっても所望の周波数 $F_{c.c.}$ を得るためには、従来の電圧制御発振器 (VCO) 105 のゲインを大きくする (周波数特性を急峻にする) ことになる。そうすると、電圧 $V_{c.c.}$ にノイズ成分のつた場合、発振周波数の変動が大きくなる (ジッタが増大してしまう)。

【0068】また、発振周波数の変動を考慮すると、電圧 $V_{c.c.}$ の範囲内で制御可能な発振周波数の範囲を広く設定することができない。即ち、従来の電圧制御発振器 (VCO) 105 は、最低限抑えられる周波数範囲が確保できず、図 15 に示したように従来の電圧制御発振器 (VCO) 105 の周波数範囲は符号 $F_{l.c.}$ である。この周波数範囲 $F_{l.c.}$ は、符号 Y101' が示す周波数特性における自走発振周波数 $F_{l.c.}$ から、符号 Y101' が示す周波数特性において電圧 $V_{c.c.}$ が電源電圧 V_{DD} の値のときの発振周波数までを表し、周波数範囲 $F_{l.c.}$ には所望の発振周波数 $F_{c.c.}$ が含まれない。

【0069】本発明の目的は、発振周波数のばらつきを

抑えることができる電圧制御発振器を提供することにある。

【0070】本発明の他の目的は、ジッタが低減される電圧制御発振器を提供することにある。

【0071】本発明の更に他の目的は、周波数範囲を広くとることができる電圧制御発振器を提供することにある。

【0072】

【課題を解決するための手段】その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧 () 付きで、番号、記号等が添記されている。その番号、記号等は、本発明の実施の複数・形態又は複数の実施例のうちの少なくとも1つの実施の形態又は複数の実施例を構成する技術的事項、特に、その実施の形態又は実施例に対応する図面に表現されている技術的事項に付せられている参照番号、参照記号等に一致している。このような参照番号、参照記号は、請求項記載の技術的事項と実施の形態又は実施例の技術的事項との対応・橋渡しを明白にしている。このような対応・橋渡しは、請求項記載の技術的事項が実施の形態又は実施例の技術的事項に限定されて解釈することを意味しない。

【0073】本発明による電圧制御発振器は、直列に接続されたN (Nは2以上の整数) 個の反転差動増幅器 (9) を備えている。N個の反転差動増幅器 (9) の各々は、所定の電圧値の定電圧 ($V_{c.m.}$) と制御電圧 ($V_{c.m.}$) とに応じて動作する。N個の反転差動増幅器 (9) の各々の動作電流は、定電圧 ($V_{c.m.}$) に応じた電流と、制御電圧 ($V_{c.m.}$) に応じた電流とを加算した電流の値で直接定まる。

【0074】Nが2以上の偶数のとき、N個の反転差動増幅器 (9) のうちの最終段の反転差動増幅器 (9d) の出力は、N個の反転差動増幅器 (9) のうちの初段の反転差動増幅器 (9a) に反転して戻される。

【0075】Nが3以上の奇数のとき、N個の反転差動増幅器 (9) のうちの最終段の反転差動増幅器 (9c) の出力は、N個の反転差動増幅器 (9) のうちの初段の反転差動増幅器 (9a) に戻される。

【0076】本発明による電圧制御発振器は、更に、動作電流を補償するためのバイアスジェネレータ (8) を備えている。このバイアスジェネレータ (8) は、定電圧 ($V_{c.m.}$) が入力される制御電極を有し、第1電源及び第2電源の間に直列に接続された第1入力段トランジスタ (12) と、制御電圧 ($V_{c.m.}$) が入力される制御電極を有し、第1電源及び第2電源の間に直列に接続され、第1入力段トランジスタ (12) と並列に接続された第2入力段トランジスタ (13) と、第1電源と第1及び第2入力段トランジスタ (12、13) との間に接続された特定トランジスタ (11) とを有する。また、バイアスジェネレータ (58) は、定電圧 ($V_{c.m.}$) が入力される制御電極を有し、第1電源及び第2電源の間に直列に接続された第1入力段トランジスタ (12) と、第1電源と第1及び第2入力段トランジスタ (12、13) との間に接続された特定トランジスタ (11) とを有する。

。n.1) が入力される制御電極を有し、第1電源及び第2電源の間に直列に接続された第1入力段トランジスタ (12) と、第1電源と第1入力段トランジスタ (12) との間に接続された特定トランジスタ (11) とを有する。

【0077】N個の反転差動増幅器 (9) の各々は、第1電源及び第2電源の間に並列に接続された第1及び第2出力段トランジスタ (25、26) と、定電圧 ($V_{c.m.}$) が入力される制御電極を有し、第1及び第2出力段トランジスタ (25、26) と第2電源との間に接続された第3入力段トランジスタ (27) と、制御電圧 ($V_{c.m.}$) が入力される制御電極を有し、第1及び第2出力段トランジスタ (25、26) と第2電源との間に接続され、第3入力段トランジスタ (27) と並列に接続された第4入力段トランジスタ (28) と、第1電源と第1出力段トランジスタ (25) との間に直列に接続され、特定トランジスタ (11) と接続された第1トランジスタ (22) と、第1電源と第2出力段トランジスタ (26) との間に直列に接続され、特定トランジスタ (11) と接続された第2トランジスタ (23) と、第1電源と第1出力段トランジスタ (25) との間に直列に接続され、第1トランジスタ (22) と並列に接続された第3トランジスタ (21) と、第1電源と第2出力段トランジスタ (26) との間に直列に接続され、第2トランジスタ (23) と並列に接続された第4トランジスタ (24) とを備えている。

【0078】特定トランジスタ (11) と第1トランジスタ (22) は、電流ミラー回路を構成し、特定トランジスタ (11) と第2トランジスタ (23) は、電流ミラー回路を構成する。

【0079】N個の反転差動増幅器 (79) の各々は、第1電源及び第2電源の間に並列に接続された第1及び第2出力段トランジスタ (25、26) と、定電圧 ($V_{c.m.}$) が入力される制御電極を有し、第1及び第2出力段トランジスタ (25、26) と第2電源との間に接続された第1入力段トランジスタ (27) と、制御電圧 ($V_{c.m.}$) が入力される制御電極を有し、第1及び第2出力段トランジスタ (25、26) と第2電源との間に接続され、第1入力段トランジスタ (27) と並列に接続された第2入力段トランジスタ (28) と、第1電源と第1出力段トランジスタ (25) との間に直列に接続された抵抗素子 (81) と、第1電源と第2出力段トランジスタ (26) との間に直列に接続された抵抗素子 (82) とを備えている。

【0080】本発明による電圧制御発振器は、直列に接続されたN個の反転差動増幅器 (9) を備えている。N個の反転差動増幅器 (9) の各々は、差動部と、差動部に接続され、所定の電圧値の定電圧 ($V_{c.m.}$) と制御電圧 ($V_{c.m.}$) とによってそれぞれ駆動される電流源とを有する。

【0081】本発明による電圧制御発振器は、所定の電圧値の定電圧 (V_{ref}) によってオフセット周波数を与えるオフセット手段と、制御電圧 (V_{ctrl}) に比例して定まる周波数を制御して所望の周波数を決定する制御手段とを備えている。周波数は、定電圧 (V_{ref}) と制御電圧 (V_{ctrl}) とによって直接定まる。

【0082】本発明によるPLL回路は、外部からの入力信号 (F_{in}) と、帰還信号 (F_{fb}) との位相及び周波数を比較し、比較の結果に基づいて制御電圧 (V_{ctrl}) を生成する制御電圧生成器 (1、2、3) と、所定の電圧値の定電圧 (V_{ref}) を生成するオフセット回路 (4) と、オフセット回路 (4) からの定電圧 (V_{ref}) に応じた電流と、制御電圧生成器 (1、2、3) からの制御電圧 (V_{ctrl}) に応じた電流とを加算し、加算した電流の値に応じた周波数で発振する出力信号 (F_{vco}) を生成する電圧制御発振器 (5) と、電圧制御発振器 (5) からの出力信号 (F_{vco}) を分周して制御電圧生成器 (1、2、3) に帰還信号 (F_{fb}) としてフィードバックする分周器 (6) とを備えている。電圧制御発振器 (5) は、直列に接続された N (N は 2 以上の整数) 個の反転差動増幅器 (9) を備えている。 N 個の反転差動増幅器 (9) の各々は、定電圧 (V_{ref}) と制御電圧 (V_{ctrl}) とに応じて動作する。 N 個の反転差動増幅器 (9) の各々の動作電流は、定電圧 (V_{ref}) に応じた電流と、制御電圧 (V_{ctrl}) に応じた電流とを加算した電流の値で直接定まる。

【0083】 N が 2 以上の偶数のとき、 N 個の反転差動増幅器 (9) のうちの最終段の反転差動増幅器 (9d) の出力は、 N 個の反転差動増幅器 (9) のうちの初段の反転差動増幅器 (9a) に反転して戻される。

【0084】 N が 3 以上の奇数のとき、 N 個の反転差動増幅器 (9) のうちの最終段の反転差動増幅器 (9d) の出力は、 N 個の反転差動増幅器 (9) のうちの初段の反転差動増幅器 (9a) に戻される。

【0085】電圧制御発振器 (5) は、動作電流を補償するためのバイアスジェネレータ (8) を更に備えている。このバイアスジェネレータ (8) は、定電圧 (V_{ref}) が入力される制御電極を有し、第 1 電源及び第 2 電源の間に直列に接続された第 1 入力段トランジスタ (12) と、制御電圧 (V_{ctrl}) が入力される制御電極を有し、第 1 電源及び第 2 電源の間に直列に接続され、第 1 入力段トランジスタ (12) と並列に接続された第 2 入力段トランジスタ (13) と、第 1 電源と第 1 及び第 2 入力段トランジスタ (12、13) との間に接続された特定トランジスタ (11) とを有する。また、バイアスジェネレータ (58) は、定電圧 (V_{ref}) が入力される制御電極を有し、第 1 電源及び第 2 電源の間に直列に接続された第 1 入力段トランジスタ (12) と、第 1 電源と第 1 入力段トランジスタ (12) との間

に接続された特定トランジスタ (11) とを有する。

【0086】 N 個の反転差動増幅器 (9) の各々は、第 1 電源及び第 2 電源の間に並列に接続された第 1 及び第 2 出力段トランジスタ (25、26) と、定電圧 (V_{ref}) が入力される制御電極を有し、第 1 及び第 2 出力段トランジスタ (25、26) と第 2 電源との間に接続された第 3 入力段トランジスタ (27) と、制御電圧 (V_{ctrl}) が入力される制御電極を有し、第 1 及び第 2 出力段トランジスタ (25、26) と第 2 電源との間に接続され、第 3 入力段トランジスタ (27) と並列に接続された第 4 入力段トランジスタ (28) と、第 1 電源と第 1 出力段トランジスタ (25) との間に直列に接続され、特定トランジスタ (11) と接続された第 1 トランジスタ (22) と、第 1 電源と第 2 出力段トランジスタ (26) との間に直列に接続され、特定トランジスタ (11) と接続された第 2 トランジスタ (23) と、第 1 電源と第 1 出力段トランジスタ (25) との間に直列に接続され、第 1 トランジスタ (22) と並列に接続された第 3 トランジスタ (21) と、第 1 電源と第 2 出力段トランジスタ (26) との間に直列に接続され、第 2 トランジスタ (23) と並列に接続された第 4 トランジスタ (24) とを備えている。

【0087】特定トランジスタ (11) と第 1 トランジスタ (22) は、電流ミラー回路を構成し、特定トランジスタ (11) と第 2 トランジスタ (23) は、電流ミラー回路を構成する。

【0088】 N 個の反転差動増幅器 (79) の各々は、第 1 電源及び第 2 電源の間に並列に接続された第 1 及び第 2 出力段トランジスタ (25、26) と、定電圧 (V_{ref}) が入力される制御電極を有し、第 1 及び第 2 出力段トランジスタ (25、26) と第 2 電源との間に接続された第 1 入力段トランジスタ (27) と、制御電圧 (V_{ctrl}) が入力される制御電極を有し、第 1 及び第 2 出力段トランジスタ (25、26) と第 2 電源との間に接続され、第 1 入力段トランジスタ (27) と並列に接続された第 2 入力段トランジスタ (28) と、第 1 電源と第 1 出力段トランジスタ (25) との間に直列に接続された抵抗素子 (81) と、第 1 電源と第 2 出力段トランジスタ (26) との間に直列に接続された抵抗素子 (82) とを備えている。

【0089】本発明によるPLL回路は、外部からの入力信号 (F_{in}) と、帰還信号 (F_{fb}) との位相及び周波数を比較し、比較の結果に基づいて制御電圧 (V_{ctrl}) を生成する制御電圧生成器 (1、2、3) と、所定の電圧値の定電圧 (V_{ref}) を生成するオフセット回路 (4) と、オフセット回路 (4) からの定電圧 (V_{ref}) に応じた電流と、制御電圧生成器 (1、2、3) からの制御電圧 (V_{ctrl}) に応じた電流とを加算し、加算した電流の値に応じた周波数で発振する出力信号 (F_{vco}) を生成する電圧制御発振器 (5)

と、電圧制御発振器 (5) からの出力信号 (F_{vc}) を分周して制御電圧生成器 (1、2、3) に帰還信号 (F_r) としてフィードバックする分周器 (6) とを備えている。電圧制御発振器 (5) は、直列に接続された N 個の反転差動増幅器 (9) を備えている。 N 個の反転差動増幅器 (9) の各々は、差動部と、差動部に接続され、所定の電圧値の定電圧 (V_{cn}) と制御電圧 (V_c) とによってそれぞれ駆動される電流源とを有する。

【0090】本発明による PLL 回路は、外部からの入力信号 (F_{in}) と、帰還信号 (F_r) との位相及び周波数を比較し、比較の結果に基づいて制御電圧 (V_c) を生成する制御電圧生成器 (1、2、3) と、所定の電圧値の定電圧 (V_{cn}) を生成するオフセット回路 (4) と、オフセット回路 (4) からの定電圧 (V_{cn}) に応じた電流と、制御電圧生成器 (1、2、3) からの制御電圧 (V_c) に応じた電流とを加算し、加算した電流の値に応じた周波数で発振する出力信号 (F_{vc}) を生成する電圧制御発振器 (5) と、電圧制御発振器 (5) からの出力信号 (F_{vc}) を分周して制御電圧生成器 (1、2、3) に帰還信号 (F_r) としてフィードバックする分周器 (6) とを備えている。電圧制御発振器 (5) は、定電圧 (V_{cn}) によってオフセット周波数を与えるオフセット手段と、制御電圧 (V_c) に比例して定まる周波数を制御して所望の周波数を決定する制御手段とを備えている。周波数は、定電圧 (V_{cn}) と制御電圧 (V_c) とによって直接定まる。本発明による PLL 回路は、電圧制御発振器 (5) に限らず、電圧制御発振器 (55)、電圧制御発振器 (75) でも実施可能である。

【0091】

【発明の実施の形態】添付図面を参照して、本発明による電圧制御発振器の実施の形態を以下に説明する。

【0092】(実施の形態 1) 図 1 は、本実施の形態 1 に係る電圧制御発振器 (VCO) の構成を示す回路図である。

【0093】図 1 に示されるように、実施の形態 1 に係る電圧制御発振器 (VCO) 5 は、バイアスジェネレータ (BG) 8、リングオシレータ (RO) 9、レベルコンバータ (LC) 7 を備えている。

【0094】バイアスジェネレータ (BG) 8 及びリングオシレータ (RO) 9 には、外部から所定の電圧値の定電圧 V_{cn} 、電圧 V_c が供給／入力される。また、バイアスジェネレータ (BG) 8 及びリングオシレータ (RO) 9 には外部から電源電圧が供給／入力される。バイアスジェネレータ (BG) 8 の出力は、リングオシレータ (RO) 9 に供給／入力される。

【0095】リングオシレータ (RO) 9 は、 N 個の反転差動増幅器を備えている。ここで、 N は 2 以上の整数

である。 N 個の反転差動増幅器の各々は、外部からの定電圧 V_{cn} と外部からの電圧 V_c とに応じて動作する。 N 個の反転差動増幅器の各々の動作電流は、定電圧 V_{cn} の値に応じた電流 I_{cn} と、電圧 V_c の値に応じた電流 I_c とを加算した電流で直接定まる。バイアスジェネレータ (BG) 8 は、外部からの定電圧 V_{cn} の値に応じた電流 I_{cn} と、外部からの電圧 V_c の値に応じた電流 I_c とを加算した電流によってリングオシレータ (RO) 9 の動作電流を補償する。補償とは、リングオシレータ (RO) 9 のスイッチとして働くトランジスタが ON/OFF しているとき、素早く電流を流し、発振波形の立ち上がり、立下りを高速に動作させ (急峻にして)、高速に発振を促すことをいう。この補償により、高周波数特性を改善すること、即ち、追従性をよくすることができる。

【0096】また、リングオシレータ (RO) 9 は、定電圧 V_{cn} によってオフセット周波数を与え、電圧 V_c に比例して定まる発振周波数を制御して所望の発振周波数を決定する。所望の発振周波数は、定電圧 V_{cn} の値に応じた電流 I_{cn} と、電圧 V_c の値に応じた電流 I_c とを加算した電流によって直接定まる。リングオシレータ (RO) 9 は、決定された所望の発振周波数に対応する電圧の振幅のうち最大ピークを表す最大電圧 V_{out1} 及び最小ピークを表す最小電圧 V_{out2} の一方を第 1 出力端子 OUT1 を介してレベルコンバータ (LC) 7 に供給し、最大電圧 V_{out1} 及び最小電圧 V_{out2} の他方を第 2 出力端子 OUT2 を介してレベルコンバータ (LC) 7 に供給する。

【0097】レベルコンバータ (LC) 7 は、最小電圧 V_{out2} と最大電圧 V_{out1} との間の振幅を CMOS レベル (例えば、0 (V) ~ 電源電圧にするようにするなど) まで増加させて出力信号 F_{vc} を生成する。レベルコンバータ (LC) 7 で生成された出力信号 F_{vc} は、電圧制御発振器 (VCO) 5 の出力信号として外部に送出される。

【0098】ここで、電圧制御発振器 (VCO) 5 により生成される出力信号 F_{vc} に対応する発振周波数について図 4 を参照しながら説明する。図 4 は、出力信号 F_{vc} と電圧 V_c の関係を示す図である。

【0099】図 4 に示されるように、通常、電圧制御発振器 (VCO) で生成される出力信号 F_{vc} と電圧 V_c の関係 (周波数特性) を示す符号 X1 は、電圧制御発振器 (VCO) 5 に含まれる電圧 V_{cn} を入力する後述のトランジスタのスレッシュOLD 電圧 V_{th} より大きくなると、出力信号 F_{vc} の発振周波数が 0 (Hz) より大きくなるような線形性を表している。電圧制御発振器 (VCO) 5 は、スレッシュOLD 電圧 V_{th} (例えば、0.5 (V)) から電圧制御発振器 (VCO) 5 を動作させる外部からの電源電圧 V_{DD} (例え

ば、2.5 (V) までの範囲の電圧 V_{DD} に比例して定まる発振周波数を制御して所望の発振周波数 F_{VCO} を決定する。このとき、出力信号 F_{VCO} に対応する所望の発振周波数 F_{out} を得るための電圧は V_{DD} とする ($V_{DD} < V_{DD} < V_{DD}$)。

【0100】しかし、電圧 V_{DD} が外部からのノイズ成分の干渉を受けて変動する場合、符号 X1 が示す周波数特性の傾きが急峻であるため、所望の発振周波数 F_{out} は周波数特性の傾きに応じて変動が大きくなる (ジッタが増大する)。

【0101】この発振周波数 F_{out} の大きな変動を抑えるため、電圧制御発振器 (VCO) 5 は、リングオシレータ (RO) 9 が定電圧 V_{DD} 分の電流を加算してオフセット周波数をもたせていることにより、周波数が 0 (Hz) より大きく、かつ、所望の周波数 F_{out} より小さい周波数 F_{out} を基準周波数 (自走発振周波数) とすることで符号 X1 が示す周波数特性の傾きを緩くした符号 Y1 が示す周波数特性を生成することができる。

【0102】次に、前述した N が 2 以上の偶数のときにおける、実施の形態 1 に係る電圧制御発振器 (VCO) 5 のバイアスジェネレータ (BG) 8 及びリングオシレータ (RO) 9 の構成について図 1 を参照しながら詳細に説明する。

【0103】図 1 に示されるように、バイアスジェネレータ (BG) 8 は、P チャネル MOS トランジスタ 11、N チャネル MOS トランジスタ 12、13 を有している。以下、P チャネル MOS トランジスタを PMOS トランジスタと称し、N チャネル MOS トランジスタを NMOS トランジスタと称す。PMOS トランジスタ 11 のソース電極には、高位側電圧源が接続され、電源電圧 V_{DD} が入力/供給される。PMOS トランジスタ 11 のドレイン電極は、NMOS トランジスタ 12、13 のドレイン電極に接続されている。NMOS トランジスタ 12 のゲート電極には、外部から定電圧 V_{DD} が入力/供給される。また、NMOS トランジスタ 12 のソース電極は、低位側電源に接続されており、通常、接地されている。NMOS トランジスタ 13 のゲート電極には、外部から電圧 V_{DD} が入力/供給される。また、NMOS トランジスタ 13 のソース電極は、低位側電源に接続されており、通常、接地されている。

【0104】次に、リングオシレータ (RO) 9 の構成について説明する。

【0105】図 1 に示されるように、リングオシレータ (RO) 9 は、N が 4 のとき、第 1 反転差動増幅器 9a、第 2 反転差動増幅器 9b、第 3 反転差動増幅器 9c、第 4 反転差動増幅器 9d を備えている。第 1 反転差動増幅器 9a ~ 第 4 反転差動増幅器 9d の各々は、差動部として PMOS トランジスタ 21、22、23、24、NMOS トランジスタ 25、26 を有し、差動部に接続された電流源として定電圧 V_{DD} によって駆動さ

れる NMOS トランジスタ 27、電圧 V_{DD} によって駆動される NMOS トランジスタ 28 を有している。

【0106】第 1 反転差動増幅器 9a ~ 第 4 反転差動増幅器 9d の各々の構成について説明する。

【0107】PMOS トランジスタ 21、22、23、24 のソース電極には、高位側電圧源が接続され、電源電圧 V_{DD} が入力/供給される。PMOS トランジスタ 22、23 のゲート電極は、PMOS トランジスタ 11 のドレイン電極とゲート電極に接続されている。ここで、バイアスジェネレータ (BG) 8 の PMOS トランジスタ 11 に対して、PMOS トランジスタ 22、23 は電流ミラー回路となっている。NMOS トランジスタ 27 のゲート電極には、外部から定電圧 V_{DD} が入力/供給される。また、NMOS トランジスタ 27 のソース電極は、低位側電源に接続されており、通常、接地されている。NMOS トランジスタ 28 のゲート電極には、外部から電圧 V_{DD} が入力/供給される。また、NMOS トランジスタ 28 のソース電極は、低位側電源に接続されており、通常、接地されている。NMOS トランジスタ 28 のドレイン電極は、NMOS トランジスタ 27 のドレイン電極、NMOS トランジスタ 25、26 のソース電極に接続されている。NMOS トランジスタ 25 のドレイン電極は、PMOS トランジスタ 21、22 のドレイン電極、PMOS トランジスタ 21 のゲート電極に接続されている。NMOS トランジスタ 26 のドレイン電極は、PMOS トランジスタ 23、24 のドレイン電極、PMOS トランジスタ 24 のゲート電極に接続されている。

【0108】第 2 反転差動増幅器 9b の NMOS トランジスタ 25 のゲート電極は、第 1 反転差動増幅器 9a の NMOS トランジスタ 25 のドレイン電極に接続されている。第 2 反転差動増幅器 9b の NMOS トランジスタ 26 のゲート電極は、第 1 反転差動増幅器 9a の NMOS トランジスタ 26 のドレイン電極に接続されている。

【0109】第 3 反転差動増幅器 9c の NMOS トランジスタ 25 のゲート電極は、第 2 反転差動増幅器 9b の NMOS トランジスタ 25 のドレイン電極に接続されている。第 3 反転差動増幅器 9c の NMOS トランジスタ 26 のゲート電極は、第 2 反転差動増幅器 9b の NMOS トランジスタ 26 のドレイン電極に接続されている。

【0110】第 4 反転差動増幅器 9d の NMOS トランジスタ 25 のゲート電極は、第 3 反転差動増幅器 9c の NMOS トランジスタ 25 のドレイン電極に接続されている。第 4 反転差動増幅器 9d の NMOS トランジスタ 26 のゲート電極は、第 3 反転差動増幅器 9c の NMOS トランジスタ 26 のドレイン電極に接続されている。

【0111】第 1 反転差動増幅器 9a の NMOS トランジスタ 25 のゲート電極は、第 4 反転差動増幅器 9d の NMOS トランジスタ 26 のドレイン電極に接続されている。第 1 反転差動増幅器 9a の NMOS トランジスタ

10

20

30

40

50

26のゲート電極は、第4反転差動増幅器9dのNMOSトランジスタ25のドレイン電極に接続されている。また、第4反転差動増幅器9dのNMOSトランジスタ25のドレイン電極は、第1出力端子OUT1を介してレベルコンバータ(L-C)7に接続されている。第4反転差動増幅器9dのNMOSトランジスタ26のドレイン電極は、第2出力端子OUT2を介してレベルコンバータ(L-C)7に接続されている。

【0112】次に、前述した電圧制御発振器(VCO)5のバイアスジェネレータ(BG)8及びリングオシレータ(RO)9の動作について図1を参照しながら説明する。ここで、電圧制御発振器(VCO)5に入力される定電圧 V_{DD} には基準レベル、電圧 V_{DD} には制御レベルがバイアスされている。

【0113】まず、バイアスジェネレータ(BG)8の回路動作について説明する。

【0114】図1に示されるように、NMOSトランジスタ12は、そのゲートに定電圧 V_{DD} がバイアスされるため、そのバイアスに応じたドレイン電流 $ID12$ を流す。電圧 V_{DD} には、制御レベルがバイアスされるが、今、そのレベルが0(V)とすると、NMOSトランジスタ13はOFFしているため(スレッショルド電圧に達していないため)、そのドレイン電流 $ID13$ は0(A)である。したがって、PMOSトランジスタ11のドレイン電流 $ID11$ は、ドレイン電流 $ID12$ とドレイン電流 $ID13$ との和であるが、ドレイン電流 $ID13$ が0(A)なので、ドレイン電流 $ID12$ 分だけが流れる。PMOSトランジスタはそのゲートとドレインが同じノードであるため、飽和領域にあり、ドレイン電流 $ID11$ を流すように、そのゲートのレベルは決まる。このレベルはリングオシレータ(RO)109における第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々のPMOSトランジスタ22、23のゲートのレベルになっている。PMOSトランジスタ11に対して、第1反転差動増幅器109a、第2反転差動増幅器109b、第3反転差動増幅器109c、第4反転差動増幅器109dの各々のPMOSトランジスタ22、23は電流ミラー回路を構成しているため、PMOSトランジスタ11のサイズ(PMOSトランジスタ11のしきい値、ゲート長、ゲート酸化膜の厚さ、を含む)と、PMOSトランジスタ22、23とのサイズ(各PMOSトランジスタのしきい値、ゲート長、ゲート酸化膜の厚さ、を含む)の比に応じた電流が、PMOSトランジスタ22、23のドレイン電流となる。このPMOSトランジスタ11は、定電圧 V_{DD} の値に応じた電流 I_{DD} と、電圧 V_{DD} の値に応じた電流 I_{DD} とを加算した電流により、リングオシレータ(RO)9の動作電流を補償する。

【0115】制御レベルの電圧 V_{DD} が上がり、その

レベルがNMOSトランジスタ13の閾値以上(NMOSトランジスタ13がONするレベル)になると、NMOSトランジスタ13のドレイン電流 $ID13$ が流れる。電圧 V_{DD} が上がれば上がるほどNMOSトランジスタ13のドレイン電流 $ID13$ も多く流れるため、結果的にPMOSトランジスタ11のドレイン電流 $ID11$ も多くなる。従って、電流ミラー回路を構成しているPMOSトランジスタ22、23のドレイン電流も多くなる。

【0116】次に、リングオシレータ(RO)9の回路動作について説明する。ここで、第1反転差動増幅器9a～第4反転差動増幅器9dの各々の回路動作は同様であるため、第1反転差動増幅器9aを例として説明する。

【0117】定電圧 V_{DD} に基準レベルがバイアスされており、電圧 V_{DD} が0レベルとするとNMOSトランジスタ27にドレイン電流 $ID27$ が流れ、NMOSトランジスタ28はオフしているためドレイン電流 $ID28$ は流れない。NMOSトランジスタ25、26のソース電極がNMOSトランジスタ27、28のドレイン電極に共通接続されたところには、NMOSトランジスタ27のドレイン電流 $ID27$ が流れることになる。

【0118】スイッチとして動作する差動回路のNMOSトランジスタ25、26は、上記のNMOSトランジスタ27のドレイン電流 $ID27$ で動作する。NMOSトランジスタ25、26はその入力される信号(第4反転差動増幅器9dからの出力)に応じたドレイン電流 $ID25$ 、 $ID26$ を流し、能動負荷であるPMOSトランジスタ21、24に供給する。NMOSトランジスタ25がON、NMOSトランジスタ26がOFFした場合、NMOSトランジスタ25には電流が流れ、PMOSトランジスタ21にも電流が流れる。このとき、PMOSトランジスタ21のドレイン-ソース電圧 V_{DS21} 分の電圧降下が起こり、NMOSトランジスタ25の出力(第2反転差動増幅器9bのNMOSトランジスタ25への入力)はLOWレベルになる。NMOSトランジスタ26はOFFしているので、NMOSトランジスタ26の出力(第2反転差動増幅器9bのNMOSトランジスタ26への入力)はHIGHレベルになる。これにより、リングオシレータ(RO)9は、定電圧 V_{DD} の値に応じた電流 I_{DD} と、電圧 V_{DD} の値に応じた電流 I_{DD} とを加算した電流の値に応じた発振周波数を生成する。発振周波数の振幅は約0.7Vぐらいの小振幅である。

【0119】能動負荷のPMOSトランジスタとして並列に接続されたPMOSトランジスタ22、23は、バイアスジェネレータ(BG)8とミラー構成をしており、そのミラー電流を流すことにより、NMOSトランジスタ25、26がON/OFFしているとき、素早く電流を流す効果があり、出力の立ち上がり、立ち下りを

高速に動作させ、高速に発振を促すことができる。

【0120】電圧 V_{DD} のレベルが上がり、NMOSトランジスタ28がONし、NMOSトランジスタ28のドレイン電流 I_{D28} が流れるようになると、第1反転差動増幅器9aの回路電流が増える。電流が増えれば、当然、回路の駆動能力も上がり、また、出力負荷（第2反転差動増幅器9bのNMOSトランジスタ25やNMOSトランジスタ26などのゲート容量や配線容量）を充放電する時間も速くなる。つまり、この第1反転差動増幅器9aの遅延時間が短くなる。

【0121】次に、リングオシレータ（RO）9の発振器としての動作について説明する。

【0122】第1反転差動増幅器9aのNMOSトランジスタ25がON、NMOSトランジスタ26がOFFしているとき、上述したように、その出力はNMOSトランジスタ25側がLOWレベル、NMOSトランジスタ26側がHIGHレベルとなる。

【0123】第1反転差動増幅器9aからの出力により、第2反転差動増幅器9bのNMOSトランジスタ25にはLOWレベルが入力され、NMOSトランジスタ26にはHIGHレベルが入力される。これにより、NMOSトランジスタ25がOFFし、NMOSトランジスタ26がONして、NMOSトランジスタ25の出力（第3反転差動増幅器9cのNMOSトランジスタ25への入力）はHIGHレベル、NMOSトランジスタ26の出力（第3反転差動増幅器9cのNMOSトランジスタ26への入力）はLOWレベルになる。

【0124】第2反転差動増幅器9bからの出力により、第3反転差動増幅器9cのNMOSトランジスタ25にはHIGHレベルが入力され、NMOSトランジスタ26にはLOWレベルが入力される。これにより、NMOSトランジスタ25がONし、NMOSトランジスタ26がOFFして、NMOSトランジスタ25の出力（第4反転差動増幅器9dのNMOSトランジスタ25への入力）はLOWレベル、NMOSトランジスタ26の出力（第4反転差動増幅器9dのNMOSトランジスタ26への入力）はHIGHレベルになる。

【0125】第3反転差動増幅器9cからの出力により、第4反転差動増幅器9dのNMOSトランジスタ25にはLOWレベルが入力され、NMOSトランジスタ26にはHIGHレベルが入力される。これにより、NMOSトランジスタ25がOFFし、NMOSトランジスタ26がONして、NMOSトランジスタ25の出力（第1反転差動増幅器9aのNMOSトランジスタ26への入力）はHIGHレベル、NMOSトランジスタ26の出力（第1反転差動増幅器9aのNMOSトランジスタ25への入力）はLOWレベルになる。

【0126】第4反転差動増幅器9dからの出力により、第1反転差動増幅器9aのNMOSトランジスタ25にはLOWレベルが入力され、NMOSトランジスタ

26にはHIGHレベルが入力される。これにより、NMOSトランジスタ25がOFFし、NMOSトランジスタ26がONして、NMOSトランジスタ25の出力（第2反転差動増幅器9bのNMOSトランジスタ25への入力）はHIGHレベル、NMOSトランジスタ26の出力（第2反転差動増幅器9bのNMOSトランジスタ26への入力）はLOWレベルになる。

【0127】最初、第1反転差動増幅器9aのNMOSトランジスタ25がON、NMOSトランジスタ26がOFFであったのが、リングを一周（第1反転差動増幅器9a～第4反転差動増幅器9d）すると、第1反転差動増幅器9aのNMOSトランジスタ25がOFF、NMOSトランジスタ26がONしている。即ち、最終段の第4反転差動増幅器9dの出力は、初段の第1反転差動増幅器9aに反転して戻される。この動作が続くので、発振する。上述したように、電圧 V_{DD} のレベルが上がると、第1反転差動増幅器9a～第4反転差動増幅器9dの各々の遅延時間が短くなるため、発振周波数が高くなる。

【0128】また、前述したNが3以上の奇数の場合、Nが3とき、図2に示されるように、第3反転差動増幅器9cのNMOSトランジスタ25のドレイン電極は、第1反転差動増幅器9aのNMOSトランジスタ25のゲート電極と、第1出力端子OUT1を介してレベルコンバータ（L-C）7とに接続されている。また、NMOSトランジスタ26のドレイン電極は、第1反転差動増幅器9aのNMOSトランジスタ26のゲート電極と、第2出力端子OUT2を介してレベルコンバータ（L-C）7とに接続されている。即ち、最終段の第3反転差動増幅器9cの出力は、初段の第1反転差動増幅器9aに戻される。

【0129】電圧制御発振器（VCO）5は、前述した自走発振周波数 F_0 にオフセットを持たせているため、周波数特性の傾きを緩くできる。従って、ノイズ成分が含まれた電圧 V_{DD} が入力された場合、オフセットを持たない電圧制御発振器と比べて、前述した発振周波数 F_0 の変動は小さくできる。

【0130】ここで、実施の形態1に係る電圧制御発振器（VCO）5の周波数特性について図5を参照しながら説明する。図5は、本実施の形態1に係る電圧制御発振器（VCO）の周波数特性を示す図である。

【0131】図5に示されるように、符号Y1はtyp-caseのときの周波数特性を表している。このときの自走発振周波数 F_0 は約500（MHz）である。また、製造上のばらつきにより、符号Y1'のようなfast-caseのときの周波数特性や符号Y1''のようなslow-caseのときの周波数特性が存在する。

【0132】符号Y1'が示す周波数特性（fast-case）では、自走発振周波数 F_0 は約600（M

10

20

30

40

50

Hz) である。電圧 V_{cn} が大きくなっていき、(出力信号 F_{vc} に対応する所望の発振周波数 F_o を得るための電圧を V_o 、 $V_o < V_{cn} < V_{dd}$ 、発振周波数 F_o を 1000 (MHz) として) V_o のレベルになると、符号 Y1 が示す周波数特性 (typ-case) では約 1000 (MHz) になり、符号 Y1' が示す周波数特性 (fast-case) では typ-case より 40% ほど速い 1400 (MHz) になっている。符号 Y1'' が示す周波数特性 (slow-case) では、自走発振周波数 F_o は約 400 (MHz) である。電圧 V_{cn} が大きくなっていき、 V_o のレベルになると、符号 Y1 が示す周波数特性 (typ-case) では約 1000 (MHz) になり、符号 Y1' が示す周波数特性 (slow-case) では typ-case より 30% ほど遅い 600 (MHz) になっている。

【0133】このように、電圧 V_{cn} が大きくなっていくと、従来の電圧制御発振器 (VCO) 105 の周波数特性では、電圧 V_{cn} が大きくなっていくと、そのばらつきが上限側 (符号 Y101' が示す周波数特性) で 55%、下限側 (符号 Y101'' が示す周波数特性) で 40% へと大きくなるのに対して、電圧制御発振器 (VCO) 5 の周波数特性では、そのばらつきが上限側 (符号 Y1' が示す周波数特性) で 40%、下限側 (符号 Y1'' が示す周波数特性) で 30% に改善されている。電圧制御発振器 (VCO) 5 は、必要最小限に電流ミラー回路を用いているため、チャネル長変調効果の影響も少なく済み、発振周波数のばらつきを抑えることができる。また、電圧制御発振器 (VCO) 5 は、電圧制御発振器 (VCO) 5 のゲインを大きくする必要がないのでジッタが低減される。また、電圧制御発振器 (VCO) 5 は、例えば図 5 で示された符号 Y1'' が示す周波数特性において電圧 V_{cn} を電源電圧 V_{dd} の値まで上げてなくても、最低限抑えられる周波数範囲 F_i を確保できる。この周波数範囲 F_i は、符号 Y1' が示す周波数特性における自走発振周波数 F_o から、符号 Y1'' が示す周波数特性において電圧 V_{cn} が電源電圧 V_{dd} の値のときの発振周波数までを表し、周波数範囲 F_i には所望の発振周波数 F_o が含まれている。従って、電圧制御発振器 (VCO) 5 は、発振周波数の変動を考慮すると、電圧 V_{cn} の範囲内で制御可能な発振周波数の範囲を広く設定することができる。

【0134】次に、PLL (Phase-Locked Loop) を例として、実施の形態 1 に係る電圧制御発振器 (VCO) 5 を用いた PLL 回路の構成について図 3 を参照しながら説明する。図 3 は、本実施の形態 1 に係る電圧制御発振器 (VCO) を用いた PLL 回路の構成を示すブロック図である。

【0135】図 3 に示されるように、PLL 回路は、位相周波数比較器 (PFD) 1、チャージポンプ 2、ループ

フィルタ 3、オフセット回路 (OFFST) 4、電圧制御発振器 (VCO) 5 及び分周器 6 を備えている。

【0136】位相周波数比較器 (PFD) 1 は、入力信号 F_{ref} と分周器 6 からの帰還信号 F_i との位相及び周波数を比較し、これら両信号の誤差を表す増分信号 (上昇指示信号) UP 及び減分信号 (下降指示信号) DOWN を生成する。入力信号 F_{ref} としては、例えば図示せぬ発振器からのクロック信号が使用される。この位相周波数比較器 (PFD) 1 で生成される増分信号 UP は、入力信号 F_{ref} に対する帰還信号 F_i の周波数低下分と位相遅れに相当するパルス幅を有する。また、減分信号 DOWN は、入力信号 F_{ref} に対する帰還信号 F_i の周波数上昇分と位相進みに相当するパルス幅を有する。位相周波数比較器 (PFD) 1 で生成された増分信号 UP 及び減分信号 DOWN はチャージポンプ 2 に供給される。

【0137】チャージポンプ 2 はシングル出力のチャージポンプであり、増分信号 UP 及び減分信号 DOWN の各パルス幅に応じた電流パルスを生じさせてループフィルタ 3 に供給する。ループフィルタ 3 は、チャージポンプ 2 から供給される電流パルスにตอบสนองして例えば図示せぬキャパシタに電荷を蓄積すると共に、図示せぬキャパシタに蓄積された電荷を放電し、上述した電流パルスに応じた電圧 V_{cn} を発生する。このループフィルタ 3 で発生された電圧 V_{cn} は電圧制御発振器 (VCO) 5 に供給される。

【0138】バイアス回路であるオフセット回路 (OFFST) 4 は、定電圧 V_{cn} を生成して電圧制御発振器 (VCO) 5 のバイアスジェネレータ (BG) 8、リングオシレータ (RO) 9 に供給する。電圧制御発振器 (VCO) 5 のバイアスジェネレータ (BG) 8、リングオシレータ (RO) 9 には、オフセット回路 (OFFST) 4 から定電圧 V_{cn} が供給され、ループフィルタ 3 から電圧 V_{cn} が供給される。電圧制御発振器 (VCO) 5 は、オフセット回路 (OFFST) 4 から供給される定電圧 V_{cn} の値に応じた電流 I_{cn} と、ループフィルタ 3 から供給される電圧 V_{cn} の値に応じた電流 I_{cn} とを加算し、加算した電流に応じた周波数で発振する出力信号 F_{vc} を生成する。この発振周波数は、定電圧 V_{cn} の値に応じた電流 I_{cn} と、電圧 V_{cn} の値に応じた電流 I_{cn} とを加算した電流によって直接定まる。電圧制御発振器 (VCO) 5 は、ロック状態では入力信号 F_{ref} の周波数の M 倍 (M は実数) の周波数で発振する。

【0139】電圧制御発振器 (VCO) 5 で生成された出力信号 F_{vc} は、レベルコンバータ (L-C) 7 から PLL 回路の出力信号として外部に送出されると共に、分周器 6 に供給される。分周器 6 は、出力信号 F_{vc} を $1/N$ に分周し、位相周波数比較器 (PFD) 1 に供給する。

【0140】次に、実施の形態1に係る電圧制御発振器(VCO)5を用いたPLL回路の動作を説明する。

【0141】今、分周器6から位相周波数比較器(PFD)1に帰還される帰還信号 $F_{r,i}$ の位相が入力信号 $F_{r,i}$ の位相より遅れていると仮定する。この場合、位相周波数比較器(PFD)1は、周波数低下分と位相遅れに相当するパルス幅を有する増分信号UPを生成し、チャージポンプ2に供給する。チャージポンプ2は、増分信号UPに応じた電流を流出してループフィルタ3の図示せぬキャパシタを充電する。これにより、ループフィルタ3で発生される電圧 $V_{c,n,i}$ は高くなる。その結果、電圧制御発振器(VCO)5から出力される出力信号 $F_{v,c,o}$ の発振周波数が上昇すると共に、出力信号 $F_{v,c,o}$ の位相が進んで入力信号 $F_{r,i}$ の位相に近づく。

【0142】一方、帰還信号 $F_{r,i}$ の位相が入力信号 $F_{r,i}$ の位相より進んでいる場合、位相周波数比較器(PFD)1は、周波数上昇分と位相進みに相当するパルス幅を有する減分信号DOWNを生成し、チャージポンプ2に供給する。チャージポンプ2は、減分信号DOWNに応じた電流を引き込んでループフィルタ3の図示せぬキャパシタを放電させる。これにより、ループフィルタ3から出力される電圧 $V_{c,n,i}$ は低くなる。その結果、電圧制御発振器(VCO)5から出力される出力信号 $F_{v,c,o}$ の発振周波数が下降すると共に、出力信号 $F_{v,c,o}$ の位相が遅れて入力信号 $F_{r,i}$ の位相に近づく。

【0143】このように、実施の形態1に係る電圧制御発振器(VCO)5を用いたPLL回路では、出力信号 $F_{v,c,o}$ の位相及び周波数と入力信号 $F_{r,i}$ の位相及び周波数とが常に比較され、入力信号 $F_{r,i}$ に対する出力信号 $F_{v,c,o}$ の位相遅れ又は位相進みが存在すればそれらを補正するようにフィードバック制御される。そして、位相遅れ又は位相進みが所定の範囲内に収束したら、位相周波数比較器(PFD)1は、同一の短いパルス幅を有する増分信号UP及び減分信号DOWNを生成する。これにより、ループフィルタ3の図示せぬキャパシタで充放電される電荷の量が等しくなって平衡し、このPLL回路はロック状態に入る。このロック状態において、出力信号 $F_{v,c,o}$ の位相は入力信号 $F_{r,i}$ の位相に合致する。また、実施の形態1に係る電圧制御発振器(VCO)5を用いたPLL回路では、ループフィルタ3から出力された電圧 $V_{c,n,i}$ にノイズ成分が含まれた場合、オフセット周波数をもたせてあるため、オフセット周波数をもたせてないものに比べて所望の発振周波数の変動を小さく抑えることができ、必要最小限に電流ミラー回路を用いているため、チャネル長変調効果の影響も少なく製造上のばらつきによる発振周波数のばらつきを低く抑えることができる。

【0144】以上の説明により、実施の形態1に係る電

圧制御発振器(VCO)5によれば、必要最小限に電流ミラー回路を用いているため、チャネル長変調効果の影響も少なく済み、発振周波数のばらつきを抑えることができる。

【0145】また、実施の形態1に係る電圧制御発振器(VCO)5によれば、電圧制御発振器(VCO)5のゲインを大きくする必要がないのでジッタが低減される。

【0146】また、実施の形態1に係る電圧制御発振器(VCO)5によれば、発振周波数の変動を考慮すると、電圧 $V_{c,n,i}$ の範囲内で制御可能な発振周波数範囲を広くとることができる。

【0147】(実施の形態2)次に、実施の形態2に係る電圧制御発振器(VCO)について図6を参照して説明する。

【0148】図6に示されるように、実施の形態2に係る電圧制御発振器(VCO)55は、バイアスジェネレータ(BG)58、リングオシレータ(RO)9、レベルコンバータ(L-C)7を備えている。即ち、実施の形態2に係る電圧制御発振器(VCO)55は、バイアスジェネレータ(BG)8に代えて、バイアスジェネレータ(BG)58を備えている。ここで、実施の形態2に係る電圧制御発振器(VCO)55では、実施の形態1と同様な構成要素について同符号を付している。また、実施の形態2に係る電圧制御発振器(VCO)55の動作は、実施の形態1に係る電圧制御発振器(VCO)5と同様であるため説明を省略する。

【0149】実施の形態1に係る電圧制御発振器(VCO)5は、バイアスジェネレータ(BG)8が定電圧 $V_{c,n,i}$ の値に応じた電流 $I_{c,n,i}$ と、電圧 $V_{c,n,i}$ の値に応じた電流 $I_{c,n,i}$ とを加算した電流によってリングオシレータ(RO)9の動作電流を補償しているが、実施の形態2に係る電圧制御発振器(VCO)55では、バイアスジェネレータ(BG)58が定電圧 $V_{c,n,i}$ の値に応じた電流 $I_{c,n,i}$ のみによってリングオシレータ(RO)9の動作電流を補償することができる。これにより、実施の形態2に係る電圧制御発振器(VCO)55は、実施の形態1の効果に加えて、実施の形態1に係る電圧制御発振器(VCO)5に対してトランジスタの数が少なくなるため、製造上のばらつきの影響を低減することができる。

【0150】この場合、バイアスジェネレータ(BG)58は、PMOSTランジスタ11、NMOSTランジスタ12のみを有している。即ち、バイアスジェネレータ(BG)58は、実施の形態1におけるバイアスジェネレータ(BG)8のNMOSTランジスタ13を外した回路である。また、図6に示されるように、Nが2以上の偶数の場合、Nが4のとき、最終段の第4反転差動増幅器9dの出力は、初段の第1反転差動増幅器9aに反転して戻される。図7に示されるように、Nが3以上

の奇数の場合、Nが3とき、最終段の第3反転差動増幅器9cの出力は、初段の第1反転差動増幅器9aに戻される。

【0151】電圧制御発振器(VCO)55に入力される定電圧 V_{DD} は、バイアスジェネレータ(BG)58がリングオシレータ(RO)9の動作電流を補償する能力を上げるために、実施の形態1で説明された電圧制御発振器(VCO)5に入力される定電圧 V_{DD} に比べ高いことが望ましい。

【0152】また、図8に示されるように、図3に示されたPLL回路は、実施の形態1に係る電圧制御発振器(VCO)5に代えて、実施の形態2に係る電圧制御発振器(VCO)55を用いることができる。ここで、実施の形態2に係る電圧制御発振器(VCO)55を用いたPLL回路では、実施の形態1と同様な構成要素について同符号を付している。また、実施の形態2に係る電圧制御発振器(VCO)55を用いたPLL回路の動作は、実施の形態1に係る電圧制御発振器(VCO)5を用いたPLL回路と同様である。

【0153】以上の説明により、実施の形態2に係る電圧制御発振器(VCO)55によれば、実施の形態1の効果に加え、実施の形態1に係る電圧制御発振器(VCO)5に対してトランジスタの数が少なくなるため、製造上のばらつきの影響が低減される。

【0154】(実施の形態3)次に、実施の形態3に係る電圧制御発振器(VCO)を図9を参照して説明する。

【0155】図9に示されるように、実施の形態3に係る電圧制御発振器(VCO)75は、リングオシレータ(RO)79、レベルコンバータ(L-C)7を備えている。ここで、実施の形態3に係る電圧制御発振器(VCO)75では、実施の形態1と同様な構成要素について同符号を付している。また、実施の形態3に係る電圧制御発振器(VCO)75の動作は、実施の形態1に係る電圧制御発振器(VCO)5と同様であるため説明を省略する。

【0156】実施の形態1に係る電圧制御発振器(VCO)5は、バイアスジェネレータ(BG)8が定電圧 V_{DD} の値に応じた電流 I_{DD} と、電圧 V_{DD} の値に応じた電流 I_{DD} とを加算した電流によってリングオシレータ(RO)9の動作電流を補償しているが、実施の形態3に係る電圧制御発振器(VCO)75では、バイアスジェネレータ(BG)8は必要なく、実施の形態1又は2におけるリングオシレータ(RO)9の能動素子であるPMOSTランジスタを抵抗素子にして実施の形態1及び2に比べ回路構成を簡便にすることができる。これにより、実施の形態3に係る電圧制御発振器(VCO)75は、実施の形態1の効果に加えて、電流ミラー回路を用いていないため、発振周波数のばらつきを更に抑えることができる。

【0157】次に、リングオシレータ(RO)79の構成について説明する。

【0158】図9に示されるように、リングオシレータ(RO)79は、Nが4のとき、第1反転差動増幅器79a、第2反転差動増幅器79b、第3反転差動増幅器79c、第4反転差動増幅器79dを備えている。第1反転差動増幅器79a～第4反転差動増幅器79dの各々は、外部からの定電圧 V_{DD} と外部からの電圧 V_{DD} とに応じて動作し、差動部として抵抗素子81、82、NMOSTランジスタ25、26を有し、差動部に接続された電流源として定電圧 V_{DD} によって駆動されるNMOSTランジスタ27、電圧 V_{DD} によって駆動されるNMOSTランジスタ28を有している。第1反転差動増幅器79a～第4反転差動増幅器79dの各々の動作電流は、定電圧 V_{DD} の値に応じた電流 I_{DD} と、電圧 V_{DD} の値に応じた電流 I_{DD} とを加算した電流で直接定まる。

【0159】第1反転差動増幅器79a～第4反転差動増幅器79dの各々の構成について説明する。

【0160】抵抗素子81、82の両端のうちの一方の端子には、高位側電圧源が接続され、電源電圧 V_{DD} が入力/供給される。NMOSTランジスタ27のゲート電極には、外部から定電圧 V_{DD} が入力/供給される。また、NMOSTランジスタ27のソース電極は、低位側電源に接続されており、通常、接地されている。NMOSTランジスタ28のゲート電極には、外部から電圧 V_{DD} が入力/供給される。また、NMOSTランジスタ28のソース電極は、低位側電源に接続されており、通常、接地されている。NMOSTランジスタ28のドレイン電極は、NMOSTランジスタ27のドレイン電極、NMOSTランジスタ25、26のソース電極に接続されている。NMOSTランジスタ25のドレイン電極は、抵抗素子81の他方の端子に接続されている。NMOSTランジスタ26のドレイン電極は、抵抗素子82の他方の端子に接続されている。

【0161】第2反転差動増幅器79bのNMOSTランジスタ25のゲート電極は、第1反転差動増幅器79aのNMOSTランジスタ25のドレイン電極に接続されている。第2反転差動増幅器79bのNMOSTランジスタ26のゲート電極は、第1反転差動増幅器79aのNMOSTランジスタ26のドレイン電極に接続されている。

【0162】第3反転差動増幅器79cのNMOSTランジスタ25のゲート電極は、第2反転差動増幅器79bのNMOSTランジスタ25のドレイン電極に接続されている。第3反転差動増幅器79cのNMOSTランジスタ26のゲート電極は、第2反転差動増幅器79bのNMOSTランジスタ26のドレイン電極に接続されている。

【0163】第4反転差動増幅器79dのNMOSTラ

ンジスタ 25 のゲート電極は、第 3 反転差動増幅器 79c の NMOS トランジスタ 25 のドレイン電極に接続されている。第 4 反転差動増幅器 79d の NMOS トランジスタ 26 のゲート電極は、第 3 反転差動増幅器 79c の NMOS トランジスタ 26 のドレイン電極に接続されている。

【0164】第 1 反転差動増幅器 79a の NMOS トランジスタ 25 のゲート電極は、第 4 反転差動増幅器 79d の NMOS トランジスタ 26 のドレイン電極に接続されている。第 1 反転差動増幅器 79a の NMOS トランジスタ 26 のゲート電極は、第 4 反転差動増幅器 79d の NMOS トランジスタ 25 のドレイン電極に接続されている。また、第 4 反転差動増幅器 79d の NMOS トランジスタ 25 のドレイン電極は、第 1 出力端子 OUT1 を介してレベルコンバータ (L-C) 7 に接続されている。第 4 反転差動増幅器 79d の NMOS トランジスタ 26 のドレイン電極は、第 2 出力端子 OUT2 を介してレベルコンバータ (L-C) 7 に接続されている。

【0165】このように、最終段の第 4 反転差動増幅器 9d の出力は、初段の第 1 反転差動増幅器 9a に反転して戻される。また、図 10 に示されるように、N が 3 以上の奇数の場合、N が 3 ととき、最終段の第 3 反転差動増幅器 9c の出力は、初段の第 1 反転差動増幅器 9a に戻される。

【0166】これにより、実施の形態 3 に係る電圧制御発振器 (VCO) 75 は、実施の形態 1 の効果に加えて、電流ミラー回路を用いていないため、発振周波数のばらつきを更に抑えることができる。

【0167】また、図 11 に示されるように、図 3 に示された PLL 回路は、実施の形態 1 に係る電圧制御発振器 (VCO) 5 に代えて、実施の形態 3 に係る電圧制御発振器 (VCO) 75 を用いることができる。ここで、実施の形態 3 に係る電圧制御発振器 (VCO) 75 を用いた PLL 回路では、実施の形態 1 と同様な構成要素について同符号を付している。また、実施の形態 3 に係る電圧制御発振器 (VCO) 75 を用いた PLL 回路の動作は、実施の形態 1 に係る電圧制御発振器 (VCO) 5 を用いた PLL 回路と同様である。

【0168】以上の説明により、実施の形態 3 に係る電圧制御発振器 (VCO) 75 によれば、実施の形態 1 の効果に加え、実施の形態 1 の効果に加えて、電流ミラー回路を用いていないため、発振周波数のばらつきを更に抑えることができる。

【0169】

【発明の効果】本発明の電圧制御発振器は、発振周波数のばらつきを抑えることができる。

【図面の簡単な説明】

【図 1】図 1 は、本実施の形態 1 に係る電圧制御発振器 (VCO) の構成を示す回路図である。

【図 2】図 2 は、本実施の形態 1 に係る電圧制御発振器

(VCO) の他の構成を示す回路図である。

【図 3】図 3 は、本実施の形態 1 に係る電圧制御発振器 (VCO) を用いた PLL 回路の構成を示すブロック図である。

【図 4】図 4 は、出力信号 F_{vco} と電圧 V_{cont} の関係を示す図である。

【図 5】図 5 は、本実施の形態 1 に係る電圧制御発振器 (VCO) の周波数特性を示す図である。

【図 6】図 6 は、本実施の形態 2 に係る電圧制御発振器 (VCO) の構成を示す回路図である。

【図 7】図 7 は、本実施の形態 2 に係る電圧制御発振器 (VCO) の他の構成を示す回路図である。

【図 8】図 8 は、本実施の形態 2 に係る電圧制御発振器 (VCO) を用いた PLL 回路の構成を示すブロック図である。

【図 9】図 9 は、本実施の形態 3 に係る電圧制御発振器 (VCO) の構成を示す回路図である。

【図 10】図 10 は、本実施の形態 3 に係る電圧制御発振器 (VCO) の他の構成を示す回路図である。

【図 11】図 11 は、本実施の形態 3 に係る電圧制御発振器 (VCO) を用いた PLL 回路の構成を示すブロック図である。

【図 12】図 12 は、従来の電圧制御発振器 (VCO) の構成を示す回路図である。

【図 13】図 13 は、従来の電圧制御発振器 (VCO) を用いた PLL 回路の構成を示すブロック図である。

【図 14】図 14 は、出力信号 F_{vco} と電圧 V_{cont} の関係を示す図である。

【図 15】図 15 は、従来の電圧制御発振器 (VCO) の周波数特性を示す図である。

【符号の説明】

- 1 位相周波数比較器 (PFD)
- 2 チャージポンプ
- 3 ループフィルタ
- 4 オフセット回路 (OFST)
- 5 電圧制御発振器 (VCO)
- 6 分周器
- 7 レベルコンバータ (L-C)
- 8 バイアスジェネレータ (BG)
- 9 リングオシレータ (RO)
- 9a 第 1 反転差動増幅器
- 9b 第 2 反転差動増幅器
- 9c 第 3 反転差動増幅器
- 9d 第 4 反転差動増幅器
- 11 PチャネルMOSトランジスタ
- 12、13 NチャネルMOSトランジスタ
- 21、22、23、24 PチャネルMOSトランジスタ
- 25、26、27、28 NチャネルMOSトランジスタ

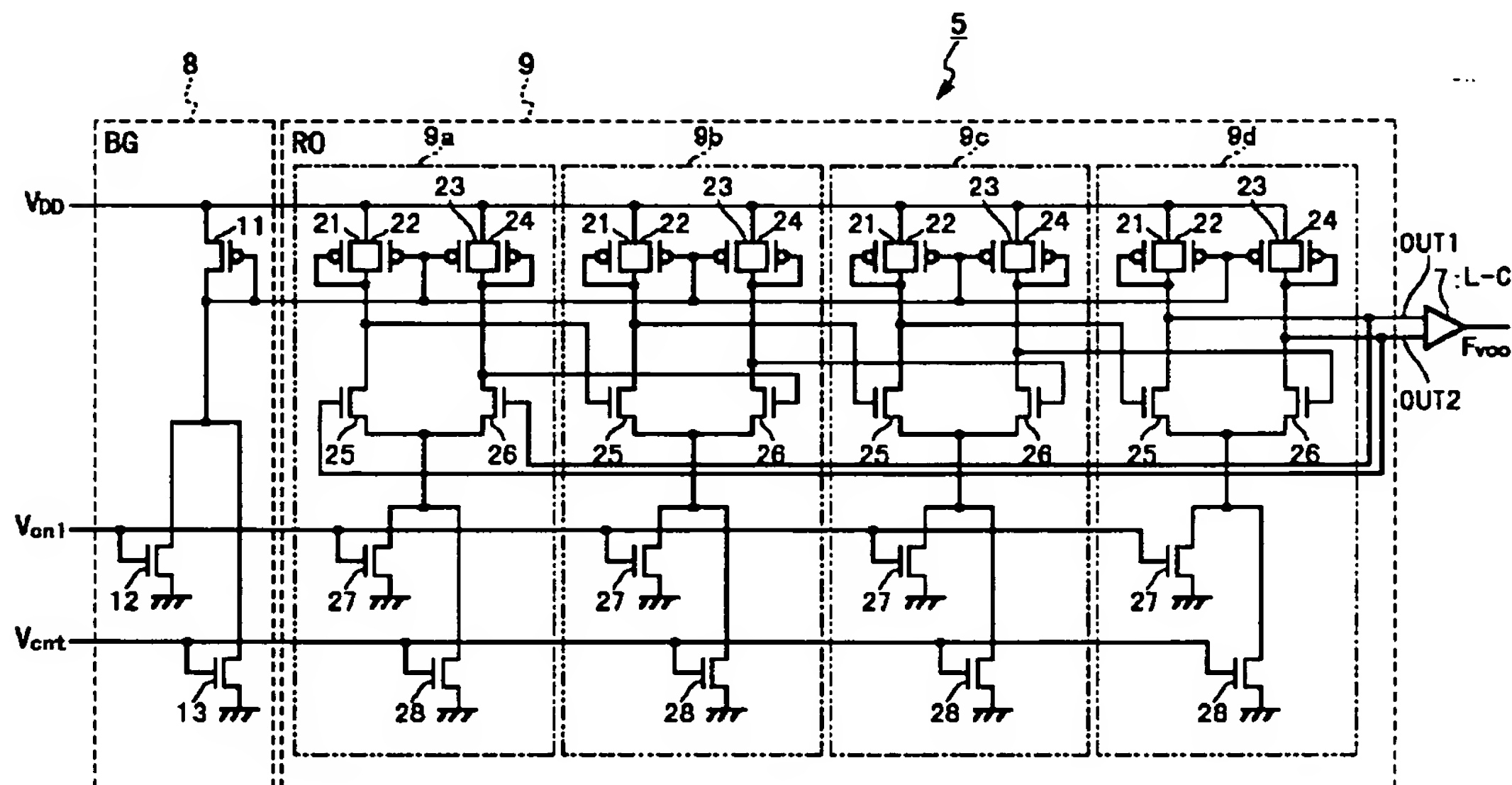
39

- 55 電圧制御発振器 (VCO)
- 58 バイアスジェネレータ (BG)
- 75 電圧制御発振器 (VCO)
- 79 リングオシレータ (RO)
- 79a 第1反転差動増幅器
- 79b 第2反転差動増幅器
- 79c 第3反転差動増幅器
- 79d 第4反転差動増幅器
- 81、82 抵抗素子
- 101 位相周波数比較器 (PFD)
- 102 チャージポンプ
- 103 ループフィルタ
- 104 オフセット回路 (OFST)
- 105 電圧制御発振器 (VCO)
- 106 分周器
- 107 レベルコンバータ (L-C)
- 108 バイアスジェネレータ (BG)
- 109 リングオシレータ (RO)
- 109a 第1反転差動増幅器

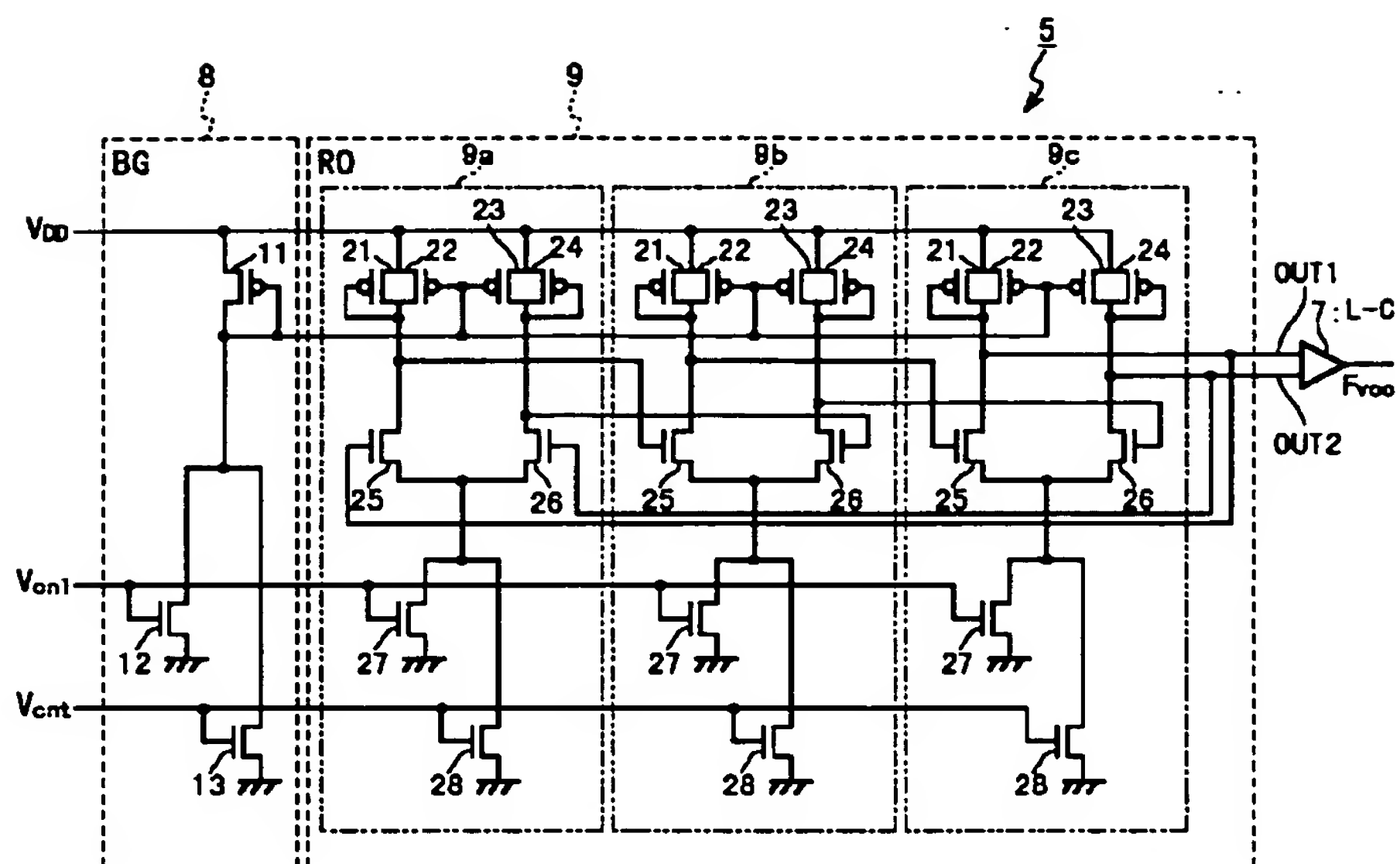
40

- 109b 第2反転差動増幅器
- 109c 第3反転差動増幅器
- 109d 第4反転差動増幅器
- 111 PチャネルMOSトランジスタ
- 112、113 NチャネルMOSトランジスタ
- 114、121、122、123、124 PチャネルMOSトランジスタ
- 125、126、129 NチャネルMOSトランジスタ
- 10 DOWN 減分信号
- F_{fb} 帰還信号
- F_{ref} 入力信号
- F_{vco} 出力信号
- OUT1 第1出力端子
- OUT2 第2出力端子
- UP 増分信号
- V_{cn1} 定電圧
- V_{cn2} 電圧
- V_{DD} 電源電圧

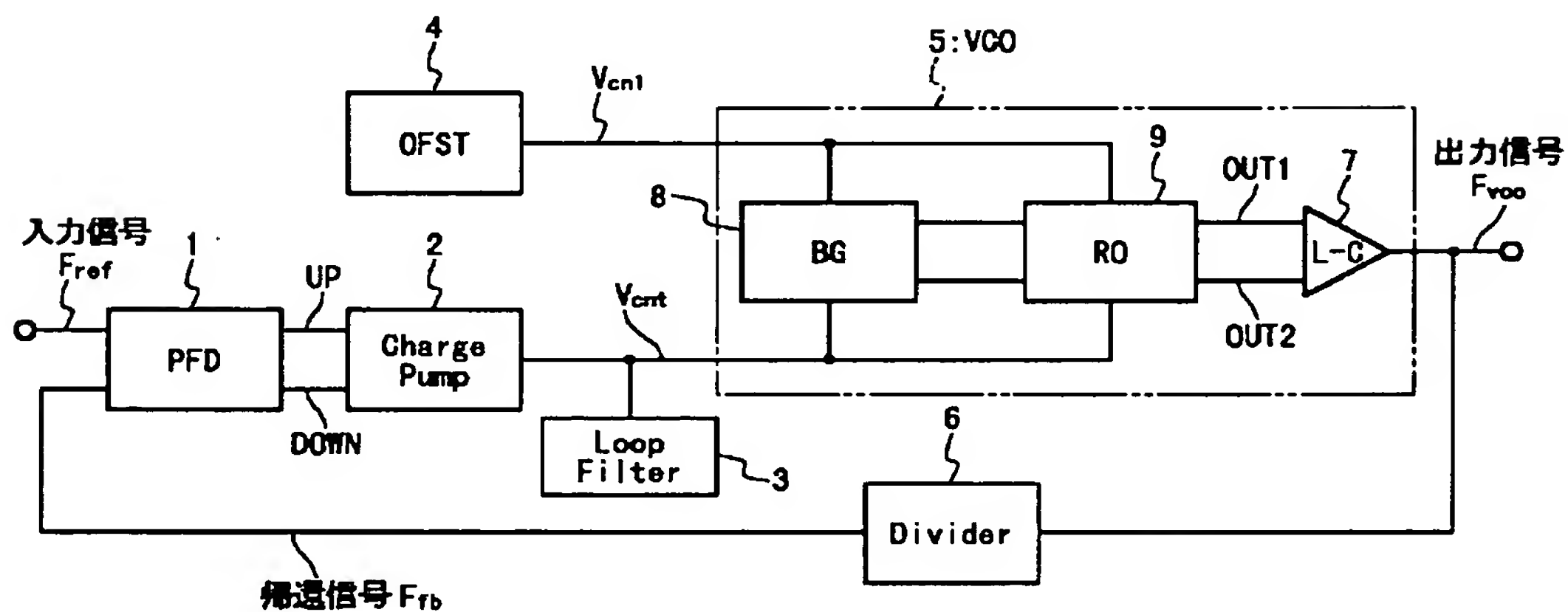
【図1】



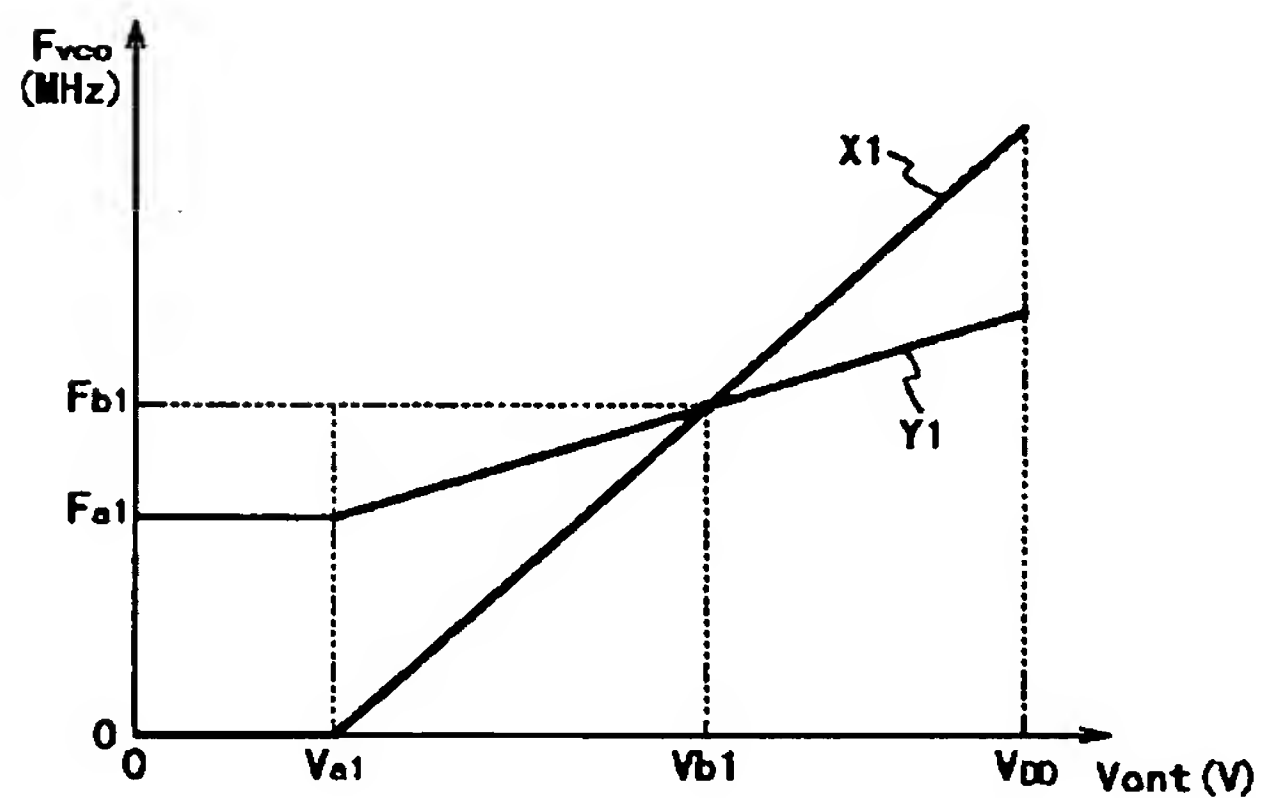
【例 2】



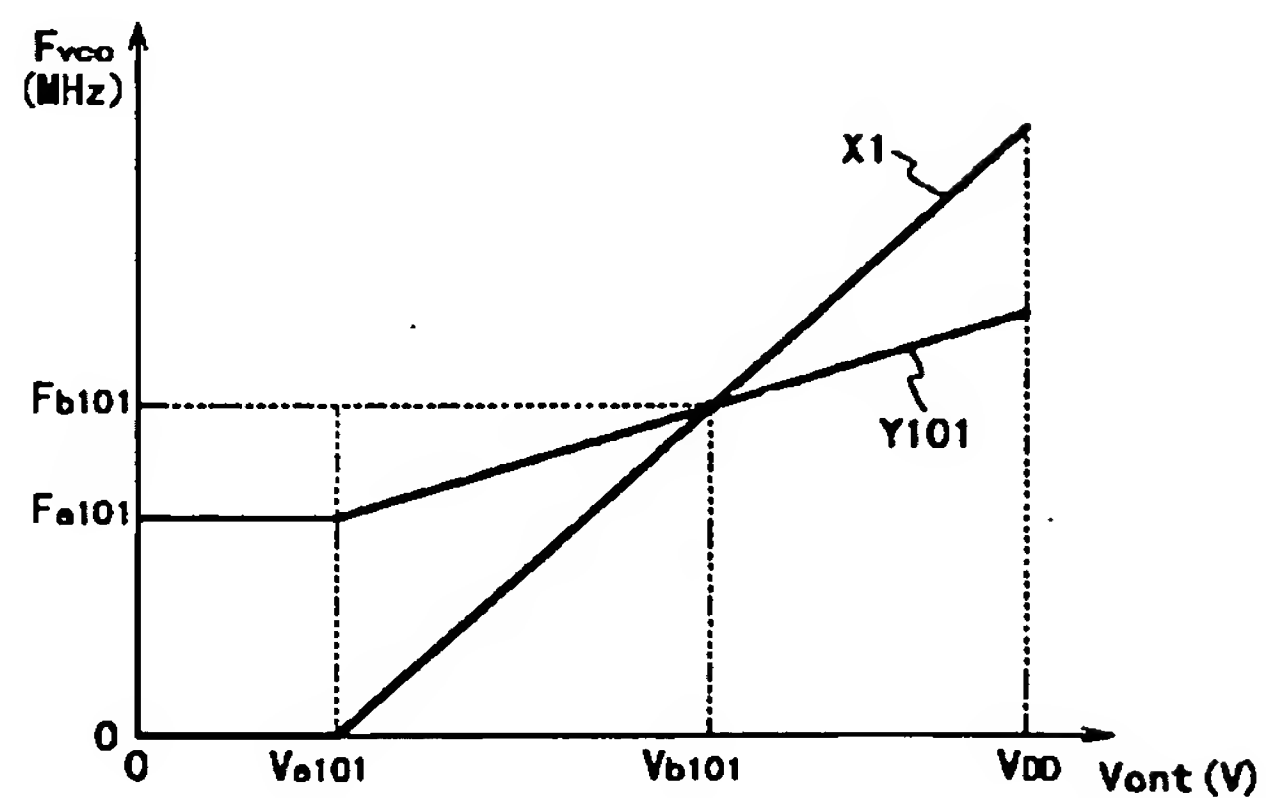
【図 3】



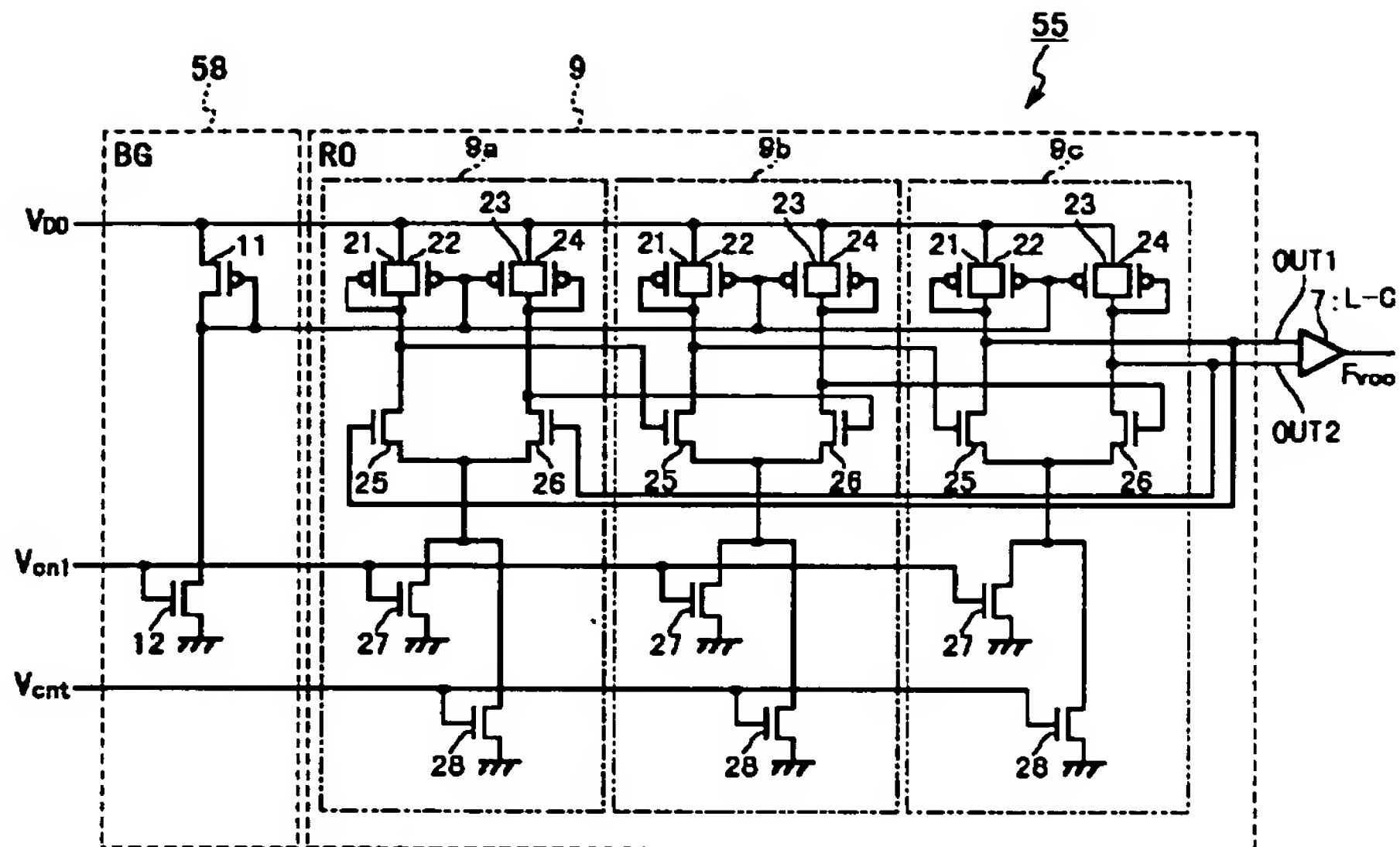
【図 4】



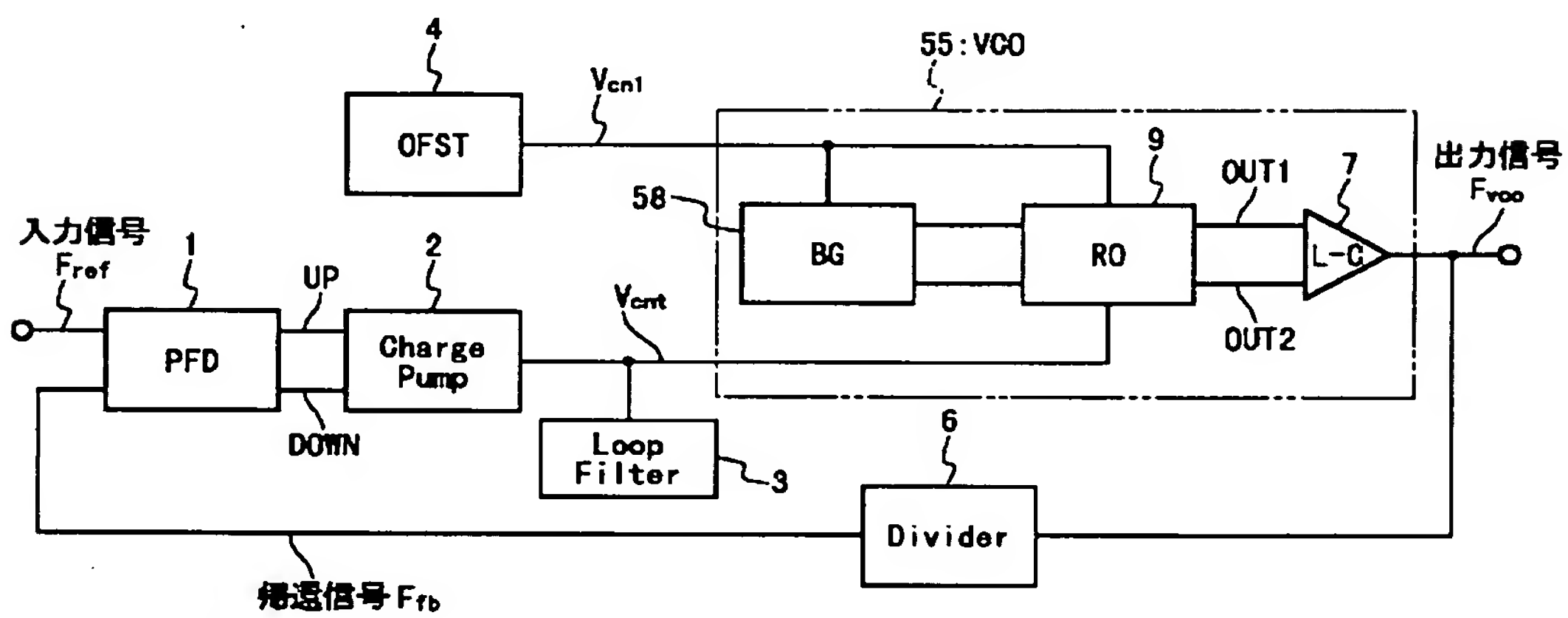
【图 14】



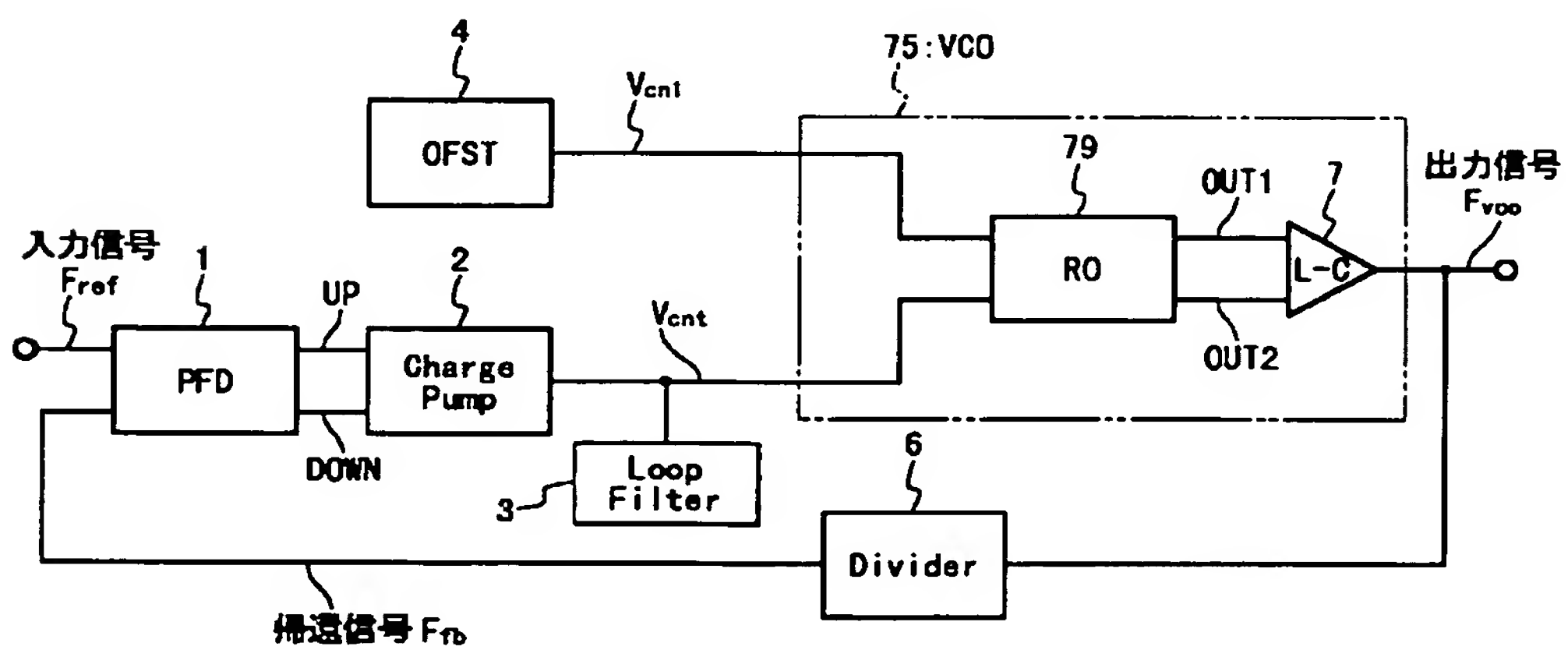
【図7】



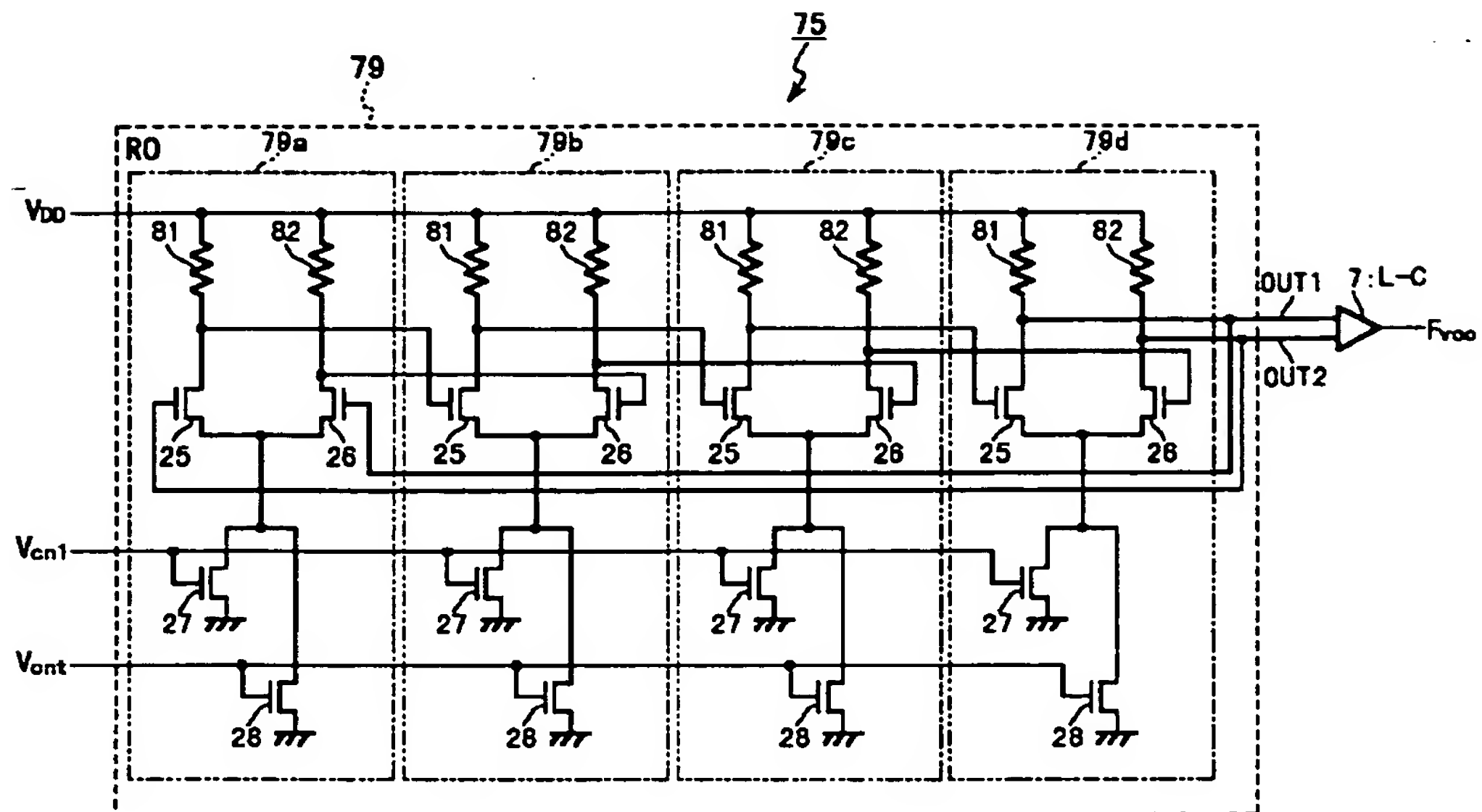
【図8】



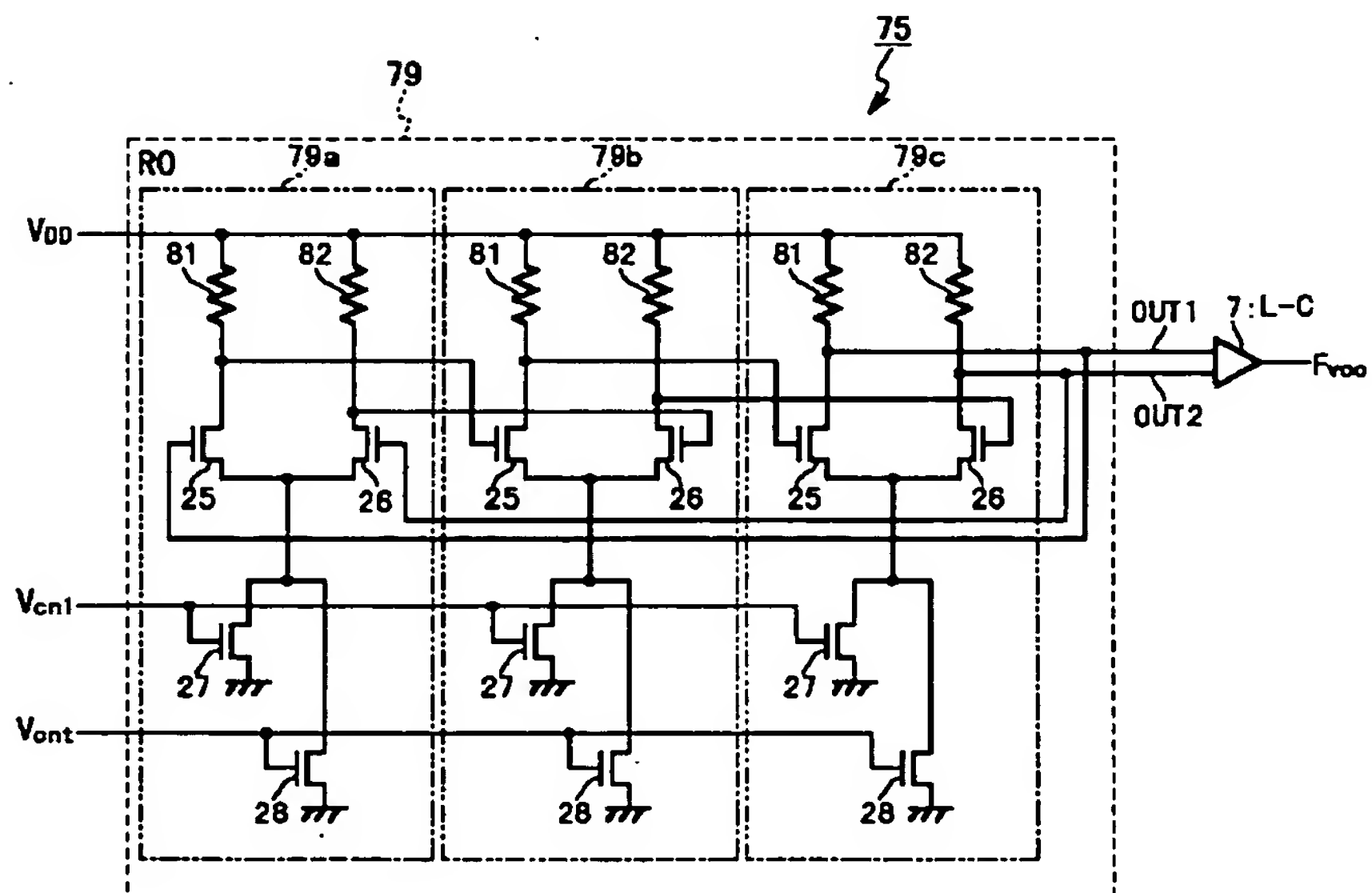
【図11】



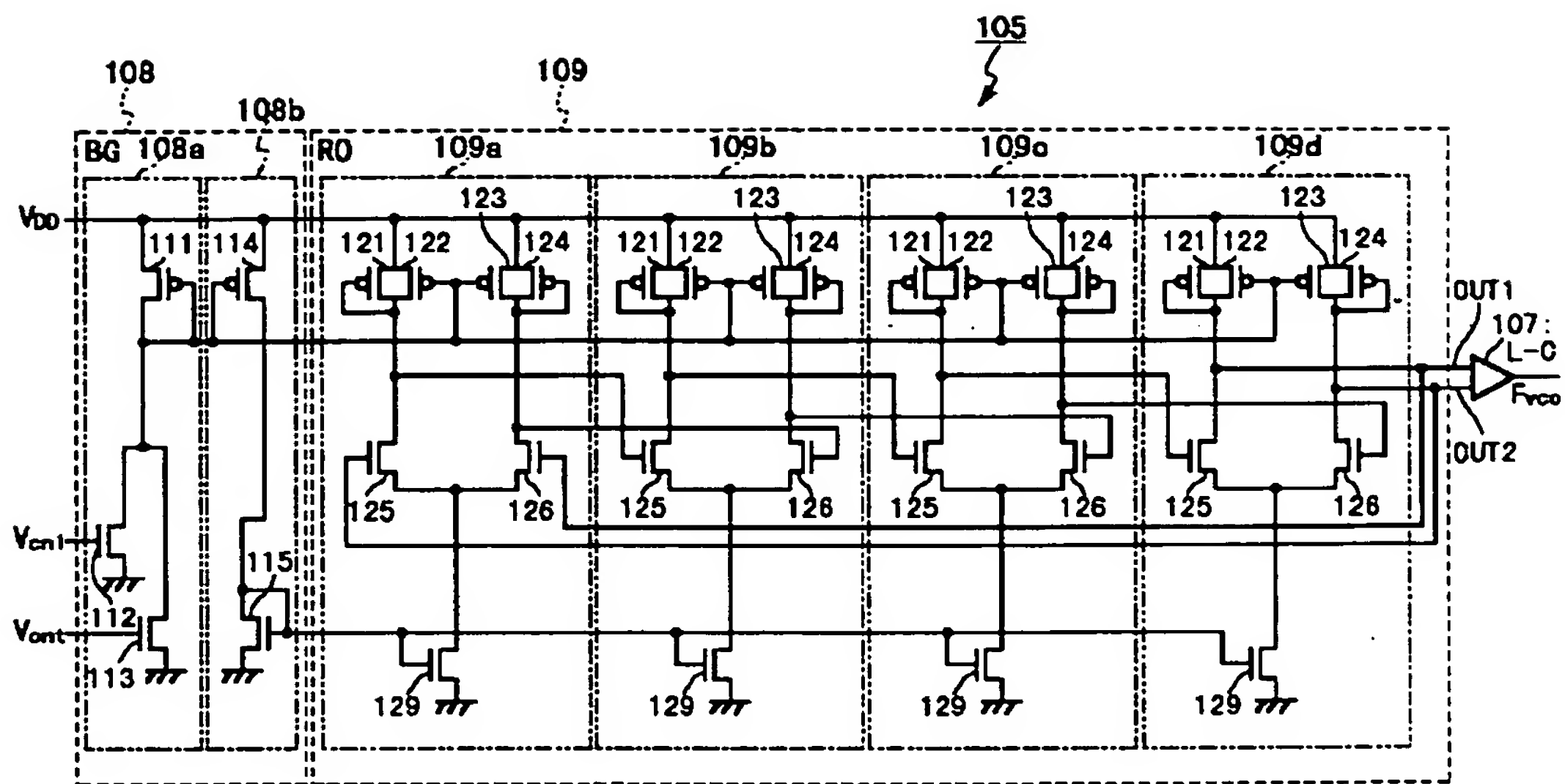
【図 9】



【図 10】



【図 12】



【図 13】

